

In re application of:
Hiroyuki TAKAHASHI

Art Unit: To be assigned

Examiner: To be assigned

Docket No.: KAM-01001

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA, 22313-1450 on October 22, 2003.

Name: Tracey A. Newell

Express Mail Label: EV 325286086 US

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Attached hereto is Japanese Application No. 2002-308624, filed October 23, 2002, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-248-4038.

Respectfully submitted,
CHOATE, HALL & STEWART

Date _____

**Patent Group
Choate, Hall & Stewart
Exchange Place
53, State Street
Boston, MA 02109-2804**

Donald W. Muirhead
Reg. No. 33,978

115

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 3 日
Date of Application:

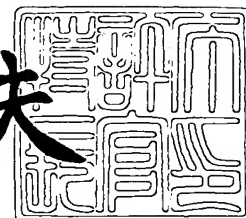
出 願 番 号 特 願 2 0 0 2 - 3 0 8 6 2 4
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 0 8 6 2 4]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 8 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 8 8 2 7

【書類名】 特許願

【整理番号】 75010431

【提出日】 平成14年10月23日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/403
G11C 11/41
G11C 11/407

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 高橋 弘行

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその制御方法

【特許請求の範囲】

【請求項 1】

複数のメモリセルを有するセルアレイを備え、

前記メモリセルは、

通常アクセス用のビット線とリフレッシュ用のビット線との間に直列形態に接続された第 1 及び第 2 のスイッチトランジスタと、

前記第 1 及び第 2 のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、

を備え、前記第 1 及び第 2 のスイッチトランジスタの制御端子には、通常アクセス用のワード線とリフレッシュ用のワード線とがそれぞれ接続されており、

半導体記憶装置の外部より前記半導体記憶装置に入力されたライトアドレスに対して、少なくとも 1 つのライトサイクル分遅れて前記ライトアドレスで選択されるメモリセルへの書き込みが行われるレイトライト構成とされ、

リフレッシュアドレスと、少なくとも 1 ライトサイクル前に外部より入力されたライトアドレスの行アドレスとが一致するか否か比較判定する判定手段と、

前記判定の結果、不一致の場合には、前記ライトアドレスで選択される前記通常アクセス用のワード線を活性化し前記通常アクセス用のワード線に接続されるメモリセルの前記第 1 のスイッチトランジスタをオンさせて前記通常アクセス用のビット線から前記容量にデータを書き込むライト動作と、前記リフレッシュアドレスで選択される前記リフレッシュ用のワード線を活性化し前記リフレッシュ用のワード線に接続されるメモリセルの前記第 2 のスイッチトランジスタをオンさせ、前記リフレッシュ用のビット線に接続されたりフレッシュ用のセンスアンプにてセルデータを読み出し前記リフレッシュ用のビット線を介して書き戻すりフレッシュ動作と、が同一サイクルで並行して行われるように制御し、

前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記ライト動作を行うように制御する手段と、

を備えている、ことを特徴とする半導体記憶装置。

【請求項 2】

前記判定手段が、前記セルアレイに対するライト動作が行われるサイクルが開始されるよりも前の時点で、前記リフレッシュアドレスと、前記ライトアドレスの行アドレスとが一致するか否か比較判定する、構成とされてなる、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記外部より入力されたライトアドレスを保持し、前記レイトライトで規定される所定数のライトサイクル分、遅延させて出力するライトアドレス保持回路と、

リード／ライト動作を指示する制御信号を入力し、前記制御信号がリードを示すときに、前記外部より入力されたアドレス、前記制御信号がライトを示すときに、前記ライトアドレス保持回路から出力されるアドレスを選択して出力する選択回路と、

を備え、

前記選択回路から出力されるアドレスは、アドレスデコーダに供給され、

前記ライトアドレス保持回路に保持されており、前記所定数のライトサイクル分遅らせて出力されるよりも前の時点でのライトアドレスの行アドレスと、前記リフレッシュアドレスとが一致するか否か比較判定する一致検出回路を備え、

前記セルアレイに対する前記ライトアドレスで選択されるメモリセルへのライト動作が行われるサイクルが開始されるよりも前の時点で、前記ライトアドレスの行アドレスと前記リフレッシュアドレスとが一致するか否かの判定が行われる、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】

前記外部より入力されたライトアドレスを保持し、前記レイトライトで規定される所定数のライトサイクル分、遅延させて出力するライトアドレス保持回路と、

リード／ライト動作を指示する制御信号を入力し、前記制御信号がリードを示すときに、前記外部より入力されたアドレス、前記制御信号がライトを示すときに、前記ライトアドレス保持回路から出力されるアドレスを選択して出力する選

択回路と、

を備え、

前記選択回路から出力される行アドレスは、通常アクセス用のワード線を選択する X デコーダに供給され、

さらに、

前記選択回路から出力される行アドレスと、前記リフレッシュアドレスとが一致するか否か比較判定する一致検出回路を備えている、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】

前記外部より入力されたライトアドレスを保持し、前記レイトライトで規定される所定数のライトサイクル分、遅延させて出力するライトアドレス保持回路と、

リード／ライト動作を指示する制御信号を入力し、前記制御信号がリードを示すときに、前記外部より入力されたアドレス、前記制御信号がライトを示すときに、前記ライトアドレス保持回路から出力されるアドレスを選択して出力する第 1 の選択回路と、

を備え、

前記選択回路から出力される行アドレスは、通常アクセス用のワード線を選択する X デコーダに供給され、

さらに、

外部より入力された行アドレスと、前記リフレッシュアドレスとが一致するか否か比較判定する第 1 の一致検出回路と、

前記ライトアドレス保持回路に保持されており、前記所定数のライトサイクル分遅らせて出力されるよりも前の時点でのライトアドレスの行アドレスと、前記リフレッシュアドレスとが一致するか否か比較判定する第 2 の一致検出回路と、

リード／ライトを指示する前記制御信号の値に基づき、リードのときは、前記第 1 の一致検出回路の出力信号、ライトのときは、前記第 2 の一致検出回路の出力信号を選択する第 2 の選択回路と、

を備え、

前記第 2 の選択回路の出力信号が、前記判定手段の判定結果として用いられる、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】

前記判定手段での判定結果を入力し、前記ライトアドレスの行アドレスと前記リフレッシュアドレスのうち不一致のビットが 1 つでもある場合、リフレッシュ動作を制するリフレッシュ制御信号を活性化して、前記リフレッシュアドレスで選択される前記リフレッシュ用のワード線のリフレッシュ動作が、前記ライトアドレスで選択されるメモリセルへのライト動作と同一サイクルに並行して行われるように制御し、

前記ライトアドレスの行アドレスと前記リフレッシュアドレスのすべてのビットが一致する場合には、前記リフレッシュ制御信号を非活性としてリフレッシュ動作を行わず、前記ライトアドレスで選択されるメモリセルへのライト動作のみが行われる、ように制御するコントロール回路を備えている、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 7】

前記ライトアドレス保持回路から出力される前の段階で、前記ライトアドレス保持回路に保持されているライトアドレスと、外部から入力されたアドレスとが一致するか否か比較判定する第 3 の一致検出回路を少なくとも 1 つ備え、

前記ライトアドレスと、外部から入力されたリードアドレスとが一致する場合、前記ライトアドレスに対応する書き込みデータであって、レイトライトで規定される期間、データ保持回路に保持されている書き込みデータを、読み出しデータとして、データ出力端子に出力するように制御する手段を備えている、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 8】

リフレッシュ周期を規定するトリガ信号を生成するタイマーと、前記タイマーからのトリガ信号に基づきリフレッシュアドレスを生成するリフレッシュアドレス生成回路と、を同一チップ上に備え、クロック同期型のスタティックランダムアクセスメモリのインタフェースに互換である、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 9】

前記通常アクセス用のワード線は、外部より入力されたアドレスの行アドレスをデコードする第 1 の X デコーダに接続され、

前記リフレッシュ用のワード線は、リフレッシュアドレスをデコードする第 2 の X デコーダに接続され、

前記第 1 及び第 2 の X デコーダは、前記セルアレイを間にして対向配置され、

前記通常アクセス用のビット線は、第 1 のセンスアンプに接続され、

前記リフレッシュ用のビット線は、リフレッシュ用の第 2 のセンスアンプに接続され、

前記第 1 及び第 2 のセンスアンプは、前記セルアレイを間にして対向配置されている、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 10】

複数のメモリセルを有するセルアレイを有し、

前記メモリセルは、

相隣る第 1 及び第 2 のビット線間に直列形態に接続される第 1 及び第 2 のスイッチトランジスタと、

前記第 1 及び第 2 のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、

を有し、

前記第 1 のスイッチトランジスタの制御端子は、第 1 のワード線に接続されてオン・オフ制御され、

前記第 2 のスイッチトランジスタの制御端子は、前記第 1 のワード線に相隣る第 2 のワード線に接続されてオン・オフ制御され、

前記第 1 のワード線は、外部より入力されたアドレスの行アドレスをデコードする第 1 の X デコーダに接続され、

前記第 2 のワード線は、リフレッシュアドレスをデコードする第 2 の X デコーダに接続され、

前記第 1 及び第 2 の X デコーダは、前記セルアレイを間にして対向配置され、

前記第 1 のビット線は、通常アクセス用の第 1 のセンスアンプに接続され、

前記第2のビット線は、リフレッシュ用の第2のセンスアンプに接続され、
前記第1及び第2のセンスアンプは、前記セルアレイを間にして対向配置され

、
さらに、

リフレッシュ周期を規定するトリガ信号を生成するタイマーと、

前記タイマーからのトリガ信号に基づきリフレッシュアドレスを生成するリフレッシュアドレス生成回路と、

前記リフレッシュアドレス生成回路からのリフレッシュアドレスと、外部より入力され、予め定められた所定数のライトサイクル相当遅延させたライトアドレスの行アドレスとが一致するか否か比較判定する一致検出手段と、

前記一致検出手段での判定の結果、不一致の場合、前記ライトアドレスの行アドレスを前記第1のXデコーダでデコードした結果選択された前記第1のワード線を活性化し、前記第1のワード線に接続されたメモリセルの第1のスイッチトランジスタをオンさせ、前記ライトアドレスで選択されたメモリセルへのデータの書き込みを行うライト動作と、前記リフレッシュアドレスを前記第2のXデコーダでデコードした結果選択された前記第2のワード線を活性化し、前記第2のワード線に接続されるメモリセルに対する前記第2のセンスアンプによるリフレッシュ動作と、を同一サイクルに並行して行い、

前記一致検出手段での判定の結果、一致の場合、前記リフレッシュ動作を抑止し、前記第1のXデコーダのデコードにより選択された前記第1のワード線を活性化し、前記ライトアドレスで選択されたメモリセルへのライト動作を行うように制御する手段と、

を備えている、ことを特徴とする半導体記憶装置。

【請求項11】

外部から入力されるアドレス信号の行アドレスを入力する入力バッファの出力信号を内部クロック信号でサンプルする第1のラッチ回路と、

前記リフレッシュアドレス生成回路から出力されるリフレッシュアドレスを内部クロック信号でサンプルする第2のラッチ回路と、

ライトサイクル時に活性化される書き込み制御用のクロック信号に基づき入力

端子の信号をラッチして出力端子から出力するラッチ回路を複数段縦続形態に接続して構成され、初段の前記ラッチ回路が入力端子から前記第 1 のラッチ回路の出力信号を入力し、最終段のラッチ回路が出力端子から前記第 1 のラッチ回路の出力信号を前記所定数のライトサイクル分遅延させて出力する構成とされたライトアドレス保持回路と、

前記第 1 のラッチ回路からの出力信号と、前記ライトアドレス保持回路の出力信号とを入力し、リード／ライト動作を指示する制御信号に基づき、リードのときは、前記第 1 のラッチ回路からの出力信号、ライトのときは、前記ライトアドレス保持回路の出力信号を選択して出力する選択回路と、

前記選択回路の出力信号と前記第 2 のラッチ回路の出力信号とが一致するか否かを比較判定する一致検出回路と、

を備えている、ことを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 12】

外部から入力されるアドレス信号の行アドレスを入力する入力バッファの出力信号を内部クロック信号でサンプルする第 1 のラッチ回路と、

前記リフレッシュアドレス生成回路から出力されるリフレッシュアドレスを内部クロック信号でサンプルする第 2 のラッチ回路と、

ライトサイクル時に活性化される書き込み制御用のクロック信号に基づき入力端子の信号をラッチして出力端子から出力するラッチ回路を複数段縦続形態に接続して構成され、初段の前記ラッチ回路が入力端子から前記第 1 のラッチ回路の出力信号を入力し、最終段のラッチ回路が出力端子から前記第 1 のラッチ回路の出力信号を前記所定数のライトサイクル分遅延させて出力する構成とされたライトアドレス保持回路と、

前記第 1 のラッチ回路からの出力信号と、前記ライトアドレス保持回路の出力信号とを入力し、リード／ライト動作を指示する制御信号に基づき、リードのときは、前記第 1 のラッチ回路からの出力信号、ライトのときは、前記ライトアドレス保持回路の出力信号を選択して出力する選択回路と、

前記ライトアドレス保持回路の前記最終段のラッチ回路よりも前段のラッチ回路の出力信号と、前記第 2 のラッチ回路の出力信号とが一致するか否かを比較判定

する一致検出回路と、

を備えている、ことを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 13】

外部から入力されるアドレス信号の行アドレスを入力する入力バッファの出力信号を内部クロック信号でサンプルする第 1 のラッチ回路と、

ライトサイクル時に活性化される書き込み制御用のクロック信号に基づき入力端子の信号をラッチして出力端子から出力するラッチ回路を複数段縦続形態に接続して構成され、初段の前記ラッチ回路が入力端子から前記第 1 のラッチ回路の出力信号を入力し、最終段のラッチ回路が出力端子から前記第 1 のラッチ回路の出力信号を前記所定数のライトサイクル分遅延させて出力する構成とされたライトアドレス保持回路と、

前記第 1 のラッチ回路からの出力信号と、前記ライトアドレス保持回路の出力信号とを入力し、リード／ライト動作を指示する制御信号に基づき、リードのときは、前記第 1 のラッチ回路からの出力信号、ライトのときは、前記ライトアドレス保持回路の出力信号を選択して出力する第 1 の選択回路と、

外部より入力される行アドレスと、前記リフレッシュアドレス生成回路から出力されるリフレッシュアドレスとが一致するか否か比較判定する第 1 の一致検出回路と、

前記ライトアドレス保持回路の前記最終段のラッチ回路よりも前段のラッチ回路の出力信号と、前記リフレッシュアドレスとが一致するか否か比較判定する第 2 の一致検出回路と、

リード／ライト動作を指示する前記制御信号の値に基づき、リードのときは、前記第 1 の一致検出回路の出力信号、ライトのときは前記第 2 の一致検出回路の出力信号を選択して出力する第 2 の選択回路と、

を備えている、ことを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 14】

前記ライトアドレス保持回路が、前記書き込み制御用のクロック信号の立ち下りエッジと立ち上がりエッジでそれぞれデータをサンプルする 1 対のラッチ回路を縦続形態に接続してなる組を、前記所定数のライトサイクル分に対応した組分

、縦続形態に接続して構成されている、ことを特徴とする請求項 11 乃至 13 のいずれかに記載の半導体記憶装置。

【請求項 15】

前記ライトアドレス保持回路の最終段よりも前段のラッチ回路から出力されるライトアドレスと、外部から入力されたアドレスとが一致するか否か比較判定する一致検出回路を少なくとも 1 つ備え、

前記ライトアドレスと、外部から入力されたリードアドレスとが一致する場合、前記ライトアドレスに対応する書き込みデータであって、レイトライトで規定される期間、データ保持回路に保持されている書き込みデータを、読み出しデータとして、データ出力端子に出力するように制御する手段を備えている、ことを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 16】

前記内部クロック信号としてチップイネーブル信号、前記書き込み制御用のクロック信号としてライトイネーブル信号をそれぞれ用いてなる、ことを特徴とする請求項 11 記載の半導体記憶装置。

【請求項 17】

前記ライトアドレス保持回路が、前記外部より入力されたアドレスを 1 ライトサイクル遅延させる、ことを特徴とする請求項 16 記載の半導体記憶装置。

【請求項 18】

クロック同期型のスタティックランダムアクセスメモリにインタフェース互換である、ことを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 19】

ゼロ・バス・ターンアラウンド仕様のスタティックランダムアクセスメモリに互換の半導体記憶装置であって、

セルアレイが、2 ポート DRAM セルを有し、

リフレッシュアドレス生成回路から出力されたリフレッシュアドレスと、レイトライト仕様で規定されるライトアクセスサイクル相当、遅延されたライトアドレスとを比較し、一致した場合、リフレッシュ動作を停止させる制御を行う手段を備えている、ことを特徴とする半導体記憶装置。

【請求項 20】

前記通常アクセス用のビット線に接続された通常アクセス用のセンスアンプを備え、

前記通常アクセスと前記リフレッシュとを同一サイクルで行うときは、前記リフレッシュ用のセンスアンプと前記通常アクセス用のセンスアンプの活性化を同時に開始するように制御する手段を備えている、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 21】

前記第 1 のセンスアンプと前記第 2 のセンスアンプとを同一サイクルで活性化させるときは、前記第 1 のセンスアンプと前記第 2 のセンスアンプの活性化を同時に開始するように制御する手段を備えている、ことを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 22】

リード／ライトアドレス入力ポートと、リフレッシュアドレス入力ポートとを備え、前記リード／ライトアドレス入力ポートから入力されたアドレスで指定されるメモリセルに対するリード／ライトアクセスと、前記リード／ライトアクセスに同期してリフレッシュアドレス入力ポートから入力されたアドレスで指定されるメモリセルに対してリフレッシュとが、同時に行われる構成とされているメモリセルアレイと、

半導体記憶装置外部よりアドレス端子及びデータ端子に入力されたアドレスとデータとをそれぞれ保持するアドレス保持回路及びデータ保持回路と、

前記アドレス保持回路に保持された行アドレスと、リフレッシュアドレス入力ポートから入力されたリフレッシュアドレスとが一致するか否か比較判定する第 1 の判定手段と、

前記アドレス保持回路に保持されたアドレスと、外部から入力されたリードアドレスとが一致するか否か比較判定する第 2 の判定手段とを備え、

前記第 1 の判定手段が不一致を判定した場合には、前記アドレス保持回路に保持されたアドレスを前記リード／ライトアドレス入力ポートから前記メモリセルアレイに入力して指定されるメモリセルに対して、前記データ保持回路に保持さ

れたデータを書き込むライト動作と、前記ライト動作と同時に前記ライト動作に同期して、前記リフレッシュアドレスに対するリフレッシュ動作と、が行われるように制御し、前記第1の判定手段が一致を判定した場合には、前記リフレッシュ動作を抑止し、前記ライト動作を行うように制御する手段と、

前記第2の判定手段が不一致を判定した場合には、前記アドレス保持回路に保持されたアドレスを前記リード／ライトアドレス入力ポートから入力し、前記アドレスで指定されるメモリセルからデータを読み出して前記データ端子から外部へ出力し、前記第2の判定手段が一致を判定した場合には、前記メモリセルアレイに替えて、前記データ保持回路からデータを読み出し、前記データ端子から外部へ出力するように制御する手段と、

を備えている、ことを特徴とする半導体記憶装置。

【請求項23】

複数のメモリセルを有するセルアレイを備え、

前記メモリセルは、

通常アクセス用のビット線とリフレッシュ用のビット線との間に直列形態に接続された第1及び第2のスイッチトランジスタと、

前記第1及び第2のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、

を備え、前記第1及び第2のスイッチトランジスタの制御端子には、通常アクセス用のワード線とリフレッシュ用のワード線とがそれぞれ接続され、

半導体記憶装置外部より前記半導体記憶装置に入力されたライトアドレスに対して、少なくとも1つのライトサイクル分遅れて前記ライトアドレスで選択されるメモリセルへの書き込みが行われるレイトライト構成とされる半導体記憶装置の制御方法であって、

生成されたりフレッシュアドレスと、少なくとも1ライトサイクル前に外部より入力されたライトアドレスとが一致するか否かを比較判定するステップと、

前記判定の結果、不一致の場合には、前記ライトアドレスで選択される前記通常アクセス用のワード線を活性化し前記通常アクセス用のワード線に接続されるメモリセルの前記第1のスイッチトランジスタをオンさせて前記通常アクセス用

のビット線から前記容量にデータを書き込むライト処理と、前記リフレッシュアドレスで選択される前記リフレッシュ用のワード線を活性化し前記リフレッシュ用のワード線に接続されるメモリセルの前記第2のスイッチトランジスタをオンさせて前記リフレッシュ用のビット線に接続されたりフレッシュ用のセンスアンプにてセルデータを読み出し前記リフレッシュ用のビット線を介して書き戻すリフレッシュ処理と、が同一サイクルで並行して行われるように制御するステップと、

前記判定の結果、一致の場合には、前記リフレッシュ処理を抑止し、前記ライト処理を行うように制御するステップと、

を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項 24】

前記セルアレイに対するライト動作が行われるサイクルが開始されるよりも前の時点で、前記リフレッシュアドレスと前記ライトアドレスとが一致するか否かを比較判定するステップが実行される、ことを特徴とする請求項 23 記載の半導体記憶装置の制御方法。

【請求項 25】

リフレッシュが必要とされるメモリセルを複数含むセルアレイと、

半導体記憶装置外部からアドレス端子及びデータ端子に入力されたアドレス及びデータをそれぞれ保持するアドレス保持回路及びデータ保持回路と、を備えた半導体記憶装置の制御方法であって、

外部から入力されたアドレス及びデータを前記アドレス保持回路及び前記データ保持回路でそれぞれ記憶するステップと、

前記アドレス保持回路に保持されたライトアドレスの行アドレスとリフレッシュアドレスとを比較し、不一致の場合には、前記データ保持回路に保持されているデータを前記セルアレイに書き込むライト動作と、前記セルアレイのリフレッシュ動作とを同時に行い、一致の場合には、リフレッシュ動作を抑止して、前記ライト動作を行うステップと、

前記アドレス保持回路に保持されたライトアドレスと外部から入力されたリードアドレスとを比較し、不一致の場合には、前記セルアレイからデータを読み出

して前記データ端子から出力し、一致の場合には、前記データ保持回路に保持されているデータを読み出して前記データ端子から出力するステップと、

を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項 26】

外部から入力されたリードアドレスと、リフレッシュアドレスとを比較し、不一致の場合には、前記リードアドレスで選択されるセルアレイからのデータの読み出しと同時に、前記リフレッシュアドレスで選択されるセルアレイのリフレッシュ動作を行い、一致の場合は、リフレッシュ動作を抑止し、前記リードアドレスで選択されるセルアレイからのデータの読み出しを行う、ことを特徴とする請求項 25 記載の半導体記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、クロック同期型の高速 S R A M 準拠の半導体記憶装置に適用して好適なダイナミック型の半導体記憶装置及びその制御方法に関する。

【0002】

【従来の技術】

ゼロ・バス・ターンアラウンド (Z B T) は、ネットワークアプリケーション、電気通信アプリケーション等において、例えば頻繁、高度に無作為化された読み出し、書き込み動作を必要とするスイッチング機能、及びルータ機能用に最適化された同期型 S R A M アーキテクチャであり、Z B T S R A M デバイスは、書き込みと読み出しをしばしば切り替えるデータ・バスのアクセス中に遭遇するかも知れない、アイドルリング状態を除去するのに役立つ。すなわち、Z B T S R A M デバイスは、デッドサイクルを除去し、最大限のメモリ・バンド幅での使用を可能としている。

【0003】

D R A M デバイスは、周期的なりフレッシュ動作と、ビット線のプリチャージ動作を必要とするのに対して、S R A M デバイスは、データアクセスサイクルの

点で優れている。一方、SRAMデバイスは、1セルあたり、4個のトランジスタ（高抵抗負荷型のセルの場合、ビット線対に接続される選択トランジスタ2つと、ゲートドレインが交差接続された2つのトランジスタ）又は6個のトランジスタ（TFET負荷型の場合）で構成され、DRAMデバイスは1個のトランジスタと1個のキャパシタで構成される。すなわち、DRAMは、面積、消費電力、コストの点でSRAMにまさり、SRAMのピン配置、タイミング、機能の設定を同様に有する従来のZBT SRAMデバイスの利点を提供するとともに、デバイスの集積度、消費電力、コストの改善を図ったエンハンスド・バス・ターンアラウンドDRAMが提案されている（例えば特許文献1参照）。

【0004】**【特許文献1】**

特開2001-283587号公報（第2頁、第1図）

【0005】

上記特許文献1に記載されたメモリ装置は、メモリ装置外に設けられたコントローラに、メモリアレイがデータアクセスに現在使用できない状態にあることを知らせる待機信号出力端子を備えている。上記特許文献1には、ZBT SRAMデバイスと類似したピンアウト、タイミング、及び機能セットを有する多くの同じ利点を有するエンハンスド・バス・ターンアラウンドDRAMを提供することを目的としていることが記載されているが、ZBT SRAM互換ではない。すなわち、上記特許文献1においては、2ポートDRAMセルを用いる旨の記載はなく、通常の1ポートのDRAMセルを用いているものと思料され、リード／ライト・サイクルの間に必ず、リフレッシュ・サイクルを挿入する必要がある、リフレッシュ・サイクルでは、リード／ライト動作を中断しなければならない。用途を通信用とした場合、連続したリード／ライト動作を行える仕様が要求される。かかる通信用の用途では、上記特許文献1のエンハンスド・バス・ターンアラウンドDRAMは、従来のZBT SRAMに置きかえることはできない。また、上記特許文献1の発明の詳細な説明の欄の段落[0059]には、キャッシュの読み出しサイクル等の背後にリフレッシュ・サイクルを隠せば、ほとんどのリフレッシュ・サイクルがメモリ・デバイスの動作に与える影響は最小である旨

が記載されているが、たとえ、頻度は少ないとしても、キャッシュ上にないデータについてメモリ・アレイへのリード／ライト要求が連続した場合には、WAIT端子を使ってリードライト動作を中断しなければならず、結局、ZBT SRAMの置き換えはできない。

【0006】

また、図11に示すように、通常アクセス用のビット線201と、リフレッシュ専用のビット線202の間に第1及び第2のスイッチトランジスタ205、206が直列形態に接続され、第1及び第2のスイッチトランジスタ205、206の接続点にデータ蓄積用の容量素子207が接続され、第1及び第2のスイッチトランジスタ205、206の制御端子には、通常アクセス用のワード線204とリフレッシュ専用のワード線203とがそれぞれ接続される、メモリセル（2ポートDRAMセル）を複数有するセルアレイを備え、外部よりのメモリアクセスと、リフレッシュが同一アドレスに重複した場合に、リフレッシュをマスクする構成のダイナミックランダムアクセスメモリが知られている（例えば特許文献2参照）。

【0007】

さらに、図11に示した2ポートDRAMセルを用い、ライト専用ビット線、リード専用ビット線を設け、リードとライトを同時に行い、リフレッシュはリード専用ビット線からセルデータを読み出し、センスアンプで増幅した後、ライト用ビット線からセルデータの書き戻しを行う構成のものも知られている（例えば特許文献3参照）。

【0008】

【特許文献2】

特開平3-263685号公報（第2頁、第2図）

【特許文献3】

特許第2653689号公報（第3頁、第2図）

【0009】

【発明が解決しようとする課題】

従来のDRAMセルを用いたZBT SRAM（「NOBL-SRAM」とも

呼ばれる) に類似するデバイスが開発されているが、内部リフレッシュのために、例えば $16\mu s$ ごとに、4クロックサイクルの非選択 (deselect) が必要とされるなど、ZBT SRAMインタフェースに完全互換ではない (例えば非特許文献1参照)。非選択 (deselect) 期間の存在は、アクセスの効率化を困難としている。

【0010】

【非特許文献1】

Enhanced Memory Systems Inc. Web ページ製品ニュース (Products News)
) [平成14年10月10日検索] インターネット<URL: [http://www.edram.com](http://www.edram.com/products/datasheets/ss2625ds_r1.1.pdf)
.com
/products/datasheets/ss2625ds_r1.1.pdf (第6頁) >

【0011】

したがって、本発明の主たる目的は、リフレッシュ制御の効率化、高速化を図り、例えばZBT SRAM等の高速SRAMにインタフェース互換の全く新規の半導体記憶装置及びその制御方法を提供することにある。

【0012】

【課題を解決するための手段】

前記目的を達成する本発明の半導体記憶装置は、その1つのアспектによれば、複数のメモリセルを有するセルアレイを備え、1つの前記メモリセルは、通常アクセス用のビット線とリフレッシュ用のビット線との間に直列形態に接続された第1及び第2のスイッチトランジスタと、前記第1及び第2のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、を備え、前記第1及び第2のスイッチトランジスタの制御端子には、通常アクセス用のワード線とリフレッシュ用のワード線とがそれぞれ接続されており、半導体記憶装置の外部より前記半導体記憶装置に入力されたライトアドレスに対して、少なくとも1つのライトサイクル分遅れて前記ライトアドレスで選択されるメモリセルへの書き込みが行われるレイトライト構成とされ、リフレッシュアドレスと、少なくとも1ライトサイクル前に外部より入力されたライトアドレスの行アドレスとが一致する可否か比較判定する判定手段と、前記判定の結果、不一致の場合には、前記ライト

アドレスで選択される前記通常アクセス用のワード線を活性化し前記通常アクセス用のワード線に接続されるメモリセルの前記第1のスイッチトランジスタをオンさせて前記通常アクセス用のビット線から前記容量にデータを書き込むライト動作と、前記リフレッシュアドレスで選択される前記リフレッシュ用のワード線を活性化し前記リフレッシュ用のワード線に接続されるメモリセルの前記第2のスイッチトランジスタをオンさせ、前記リフレッシュ用のビット線に接続されたリフレッシュ用のセンスアンプにてセルデータを読み出し前記リフレッシュ用のビット線を介して書き戻すリフレッシュ動作と、が同一サイクルで並行して行われるように制御し、前記判定の結果、一致の場合には、前記リフレッシュ動作を抑止し、前記ライト動作を行うように制御する構成とされている。

【0013】

本発明の1つのアспектにおいて、好ましくは、前記判定手段は、前記セルアレイに対するライト動作が行われるサイクルが開始されるよりも前の時点で、前記リフレッシュアドレスと、前記ライトアドレスの行アドレスとが一致するか否か比較判定する、構成とされている。

【0014】

本発明の他のアспектに係る方法は、半導体記憶装置のリフレッシュ制御に係り、複数のメモリセルを有するセルアレイを備え、1つの前記メモリセルは、通常アクセス用のビット線とリフレッシュ用のビット線との間に直列形態に接続された第1及び第2のスイッチトランジスタと、前記第1及び第2のスイッチトランジスタの接続点に接続されたデータ蓄積用の容量と、を備え、前記第1及び第2のスイッチトランジスタの制御端子には、通常アクセス用のワード線とリフレッシュ用のワード線とがそれぞれ接続され、半導体記憶装置外部より前記半導体記憶装置に入力されたライトアドレスに対して、少なくとも1つのライトサイクル分遅れて前記ライトアドレスで選択されるメモリセルへの書き込みが行われるレイトライト構成とされる半導体記憶装置の制御方法であって、

(a) 生成されたリフレッシュアドレスと、少なくとも1ライトサイクル前に外部より入力されたライトアドレスの行アドレスとが一致するか否か比較判定するステップと、

(b) 前記判定の結果、不一致の場合には、前記ライトアドレスで選択される前記通常アクセス用のワード線を活性化し前記通常アクセス用のワード線に接続されるメモリセルの前記第1のスイッチトランジスタをオンさせて前記通常アクセス用のビット線から前記容量にデータを書き込むライト処理と、前記リフレッシュアドレスで選択される前記リフレッシュ用のワード線を活性化し前記リフレッシュ用のワード線に接続されるメモリセルの前記第2のスイッチトランジスタをオンさせて前記リフレッシュ用のビット線に接続されたリフレッシュ用のセンスアンプにてセルデータを読み出し前記リフレッシュ用のビット線を介して書き戻すリフレッシュ処理と、が同一サイクルで並行して行われるように制御するステップと、

(c) 前記判定の結果、一致の場合には、前記リフレッシュ処理を抑止し、前記ライト処理を行うように制御するステップを含む。以下の説明からも明らかとされるように、上記目的は特許請求の範囲の各請求項の発明によっても同様にして達成される。

【0015】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明に係る半導体記憶装置は、その好ましい一実施の形態において、図1を参照すると、1つのメモリセルが、通常アクセス用のビット線(B(E))とリフレッシュ用のビット線(B(F))との間に直列形態に接続された第1及び第2のスイッチトランジスタ(T_{r1} 、 T_{r2})と、第1及び第2のスイッチトランジスタ(T_{r1} 、 T_{r2})の接続点に接続されたデータ蓄積用の容量(C)を備え、第1及び第2のスイッチトランジスタ(T_{r1} 、 T_{r2})の制御端子には、通常アクセス用のワード線(W(B))とリフレッシュ用のワード線(W(F))とがそれぞれ接続され、外部より入力されたライトアドレスに対して、1つ以上の所定数のライトサイクル分遅れて、メモリセルへの書き込みが行われるレイトライト構成とされている。

【0016】

そして、本発明に係る半導体記憶装置は、その好ましい一実施の形態において、生成されたリフレッシュアドレスと、1つ以上の所定数のライトサイクル前に

外部より半導体記憶装置のアドレス端子に入力され、所定数のライトサイクルの相当分、保持されているライトアドレスと、が一致するか否かを比較判定する判定手段（130）を少なくとも備え、判定手段（130）の判定結果出力（H I T E）に基づき、不一致の場合には、リフレッシュコントロール回路（131）は、リフレッシュ制御信号（F C）を活性化することで、リフレッシュ用のワード線を活性化し、該ワード線に接続されるメモリセルの第2のセルトランジスタをオンさせる、リフレッシュ用のビット線に接続されたリフレッシュ用のセンスアンプ（113F）にてリフレッシュアドレスで指定されるメモリセルのリフレッシュ動作と、該ライトアドレスに対する通常のライト動作（ライトアドレスに対応する通常アクセス用のワード線が選択され、該ワード線に接続するメモリセルの第1のセルトランジスタがオンし、通常アクセス用のビット線からメモリセルへのデータの書き込みが行われる）とが、同一サイクルに、並行して行われる構成とされる。

【0017】

本発明に係る半導体記憶装置の一実施の形態において、判定結果（H I T E）を出力する判定手段（130）は、外部よりアドレス端子に入力されたアドレス（行アドレス）を保持し、前記所定数のライトサイクル分、遅延させて出力するライトアドレス保持回路（例えば図5の322から324のラッチ回路）と、リード／ライト動作を指示する制御信号（R／W）の値に応じて、リードのときは、前記外部より入力されたアドレス、ライトのときは、ライトアドレス保持回路から出力されるアドレスを選択して出力し、行デコーダ回路（図1の111E）に供給する選択回路（図5の326）と、ライトアドレス保持回路（図5のラッチ回路324）から出力されるアドレスと、リフレッシュアドレスとが一致するか否かを比較判定する一致検出回路（図5の332）と、を備えている。一致検出回路（図5の332）では、ライトアドレス保持回路に保持されており、前記所定数のライトサイクル分遅らせて出力されるよりも前の時点でのライトアドレス（ライトアドレス保持回路の最終段のラッチ回路325の前段のラッチ回路324の出力）と、リフレッシュアドレスとが一致するか否かを比較判定する。すなわち、セルアレイに対するライト動作が行われるサイクルが開始されるよりも前の

時点で、前記リフレッシュアドレスと、前記ライトアドレスとが一致するか否かの比較判定が行われる。

【0018】

本発明に係る半導体記憶装置の一実施の形態において、ライトアドレス保持回路は、書き込み制御用のクロック信号（KW）の立ち下りエッジと立ち上がりエッジでそれぞれデータをサンプルする 1 対のラッチ回路（図 5 の 322、323）を縦続形態に接続してなる組を、前記所定数のサイクル分に対応した組分（図 5 では、1 対のラッチ回路 322、323 と、1 対のラッチ回路 324、325 を、計 4 段）、縦続形態に接続して構成されている。ライトアドレス保持回路を構成する最終段のラッチ回路（図 5 のラッチ回路 325）は、書き込み制御用のクロック信号（KW）の立ち上がりで（ラッチ回路 320 でサンプルされてから 2 つのライトサイクル分の遅れに対応するタイミングで）、ライトアドレスを選択回路（326）に出力する。

【0019】

あるいは、本発明に係る半導体記憶装置の一実施の形態において、選択回路（図 2 の 306）から出力されるアドレスと、前記リフレッシュアドレスとが一致するか否か比較判定する一致検出回路（図 2 の 307）を備えた構成としてもよい。

【0020】

本発明に係る半導体記憶装置の一実施の形態において、外部より入力されたアドレス（AddE）を、前記所定数のライトサイクル分、遅延させるライトアドレス保持回路（図 8 の 341、342、343、344）と、リード／ライト動作を指示する制御信号の値に応じて、制御信号がリードを示すときは、前記外部より入力されたアドレス、制御信号がライトを示すときは、ライトアドレス保持回路（図 8 の 344）から出力されるライトアドレスを選択して出力し、出力したアドレスを行デコード回路に供給する第 1 の選択回路（図 8 の 345）と、外部より入力されるアドレス（AddE）と、リフレッシュアドレス（AddF）とが一致するか否か比較判定する第 1 の一致検出回路（図 8 の 351）と、前記ライトアドレス保持回路に保持されており、前記所定数のライトサイクル分遅ら

せて出力されるよりも前の時点でのライトアドレス（図 8 のラッチ回路 343 の出力）と、前記リフレッシュアドレス（A d d F）とが一致するか否か比較判定する第 2 の一致検出回路（図 8 の 352）と、リード／ライト動作を指示する制御信号の値に基づき、リードのときは、前記第 1 の一致検出回路の出力信号、ライトのときは、第 2 の一致検出回路の出力信号を選択して出力する第 2 の選択回路（図 8 の 353、354）とを備え、第 2 の選択回路の出力信号は、前記判定手段の出力をなすヒット信号（H I T E）として用いられる。

【0021】

本発明に係る半導体記憶装置の一実施の形態において、判定手段（130）での判定の結果、外部より入力され前記所定数のライトサイクル分、遅延されたライトアドレス（A d d E）と、リフレッシュアドレス（A d d F）のうち不一致のビットが 1 つでもある場合、リフレッシュ制御信号（F C）を活性化する制御を行う回路（図 6 の 401～404）を備えている。このとき、ライトアドレスに関するライト動作と、リフレッシュ動作とが並行して行われる。一方、外部より入力され前記所定数のライトサイクル分、遅延されたライトアドレス A d d E とリフレッシュアドレス A d d F のすべてのビットが一致する場合（H I T E が行アドレスのビットについてすべてアクティブである場合）、リフレッシュ制御信号 F C を非活性とし、このため、ライト動作のみが行われる。

【0022】

本発明に係る半導体記憶装置の一実施の形態において、ライトアドレス保持回路で、前記所定のライトサイクル相当、又は、前記所定のライトサイクルよりも少ないサイクル数分、遅延させたライトアドレスと、外部から入力されたアドレス信号とをが一致するか否かをそれぞれ比較する手段（図 2 の 308、309）を備え、ライトアドレス保持回路で所定のライトサイクル、又は、前記所定のライトサイクルよりも少ないサイクル数分、遅延させたライトアドレスと、今回外部から入力されたリードアドレスが一致する場合、前記ライトアドレスへの書き込みデータであって、書き込み待ちでデータ保持回路（図 1 の 136、137）で保持されている書き込みデータを、読み出しデータとして、データ出力端子に出力するように制御する手段（図 1 の 134、138）を備えている。

【0023】

本発明に係る半導体記憶装置の一実施の形態において、リフレッシュ周期を規定するトリガ信号を生成するタイマー（図1の128）と、前記タイマーからのトリガ信号に基づきリフレッシュアドレスを生成するリフレッシュアドレス生成回路（図1の129）と、を備え、セルフリフレッシュ機能を具備し、クロック同期型のスタティックランダムアクセスメモリのインタフェースに互換とされる。

【0024】

本発明に係る半導体記憶装置の一実施の形態において、通常アクセス用のワード線W（E）は、外部より入力されたアドレスの行アドレスをデコードする第1のXデコーダ（図1の111E）に接続され、リフレッシュ用のワード線W（F）は、リフレッシュアドレスをデコードする第2のXデコーダ（図1の111F）に接続され、第1及び第2のXデコーダはセルアレイを間にして対向配置され、通常アクセス用のビット線B（E）は、第1のセンスアンプ（113E）に接続され、リフレッシュ用のビット線B（F）は、リフレッシュ用の第2のセンスアンプ（113F）に接続され、前記第1及び第2のセンスアンプは、前記セルアレイを間にして対向配置されている。

【0025】

本発明に係る半導体記憶装置においては、外部から入力されたリードアドレスの行アドレス信号と、リフレッシュアドレス生成回路からのリフレッシュアドレスとを比較し、不一致の場合には、該リードアドレスで選択されるセルアレイからのデータの読み出しと同時に、該リフレッシュアドレスで選択されるセルアレイのリフレッシュ動作を行い、一致の場合は、リフレッシュ動作を抑止し、前記リードアドレスで選択されるセルアレイからのデータの読み出しを行う構成としてもよい。

【0026】

本発明の実施の形態に係る半導体記憶装置においては、2ポートのDRAMセルを用いることにより、リード／ライトと、リフレッシュとを同時に行うことができる。このため、本発明の実施の形態に係る半導体記憶装置においては、リフ

レッシュによる中断無く、リード／ライト動作を連続して行うことができる。したがって、本発明は、連続したリード／ライト動作を行える仕様が要求される通信用途にも、ZBT SRAM互換の半導体記憶装置として適用できる。一方、前述したように、上記特許文献1には、2ポートDRAMセルを用いる旨の記載はなく、リードライト／サイクルの間に必ず、リフレッシュ・サイクルを挿入する必要がある、通信用の用途として、従来のZBT SRAMに置きかえることはできない。

【0027】

【実施例】

上記した本発明の実施の形態について、さらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例の、クロック同期型の半導体記憶装置の構成を示す図である。セルアレイはDRAMセルよりなり、例えばZBT仕様等に準拠するクロック同期型SRAMにインタフェース互換とされる。

【0028】

図1を参照すると、複数のメモリセルを有するセルアレイ100において、通常アクセス用のビット線BE、及び、リフレッシュ用のビット線BF間に直列形態に接続される第1及び第2のメモリセルトランジスタ（スイッチトランジスタ）Tr1、Tr2を有し、第1及び第2のメモリセルトランジスタTr1、Tr2の接続点に、データ蓄積用の容量素子Cの一端が接続され、容量素子Cの他端はGND電位に接続され、1つのメモリセルを構成している。第1及び第2のメモリセルトランジスタTr1、Tr2のゲート端子は、通常アクセス用のワード線W（E）、及びリフレッシュ用のワード線W（F）にそれぞれ接続されている。

【0029】

通常アクセス用の第1のワード線W（E）は、半導体記憶装置外部よりアドレス端子に入力される行アドレスをデコードするXデコーダ111Eのワードドライバ（不図示）に接続され、リフレッシュ用の第2のワード線W（F）は、リフレッシュアドレスの行アドレスをデコードするXデコーダ111Fのワードドラ

イバ（不図示）に接続されている。

【0030】

2つのXデコーダ111E、111Fは、セルアレイ100を間にして対向配置されている。

【0031】

通常アクセス用のビット線B（E）は、外部アドレス用のセンスアンプ／プリチャージ回路113Eに接続され、リフレッシュ用のビット線B（F）は、リフレッシュアドレス用のセンスアンプ／プリチャージ回路113Fに接続されている。センスアンプ113E、113Fはセルアレイ111を間にして対向して配置されている（図の上下）。

【0032】

半導体記憶装置外部から半導体記憶装置のクロック端子に供給されるクロック信号CLKを入力とする入力バッファ121は、内部クロック信号Kを出力する。

【0033】

半導体記憶装置外部より半導体記憶装置のアドレス端子に供給されるアドレス信号Addの行アドレスを入力とする入力バッファ122は、行アドレスAddEを出力する。

【0034】

コマンド判定回路127は、LOWレベルでアクティブのチップイネーブル信号／CE（なお信号名（端子名）の前の記号“／”は、図の信号名（端子名）の上のバーに対応しており、LOWレベルでアクティブを示す）、LOWレベルでアクティブのロード信号／LD信号、／（R／W）（LOWレベルでアクティブのリード、HIGHレベルでライトを示す）を入力し、コマンドをデコードし、リード、ライトコマンドR／W、ライトイネーブル信号WE2、及び、クロック信号KW、クロック信号KDINを出力する。

【0035】

タイマー128は、リフレッシュの周期を規定するリフレッシュトリガ信号（「トリガ信号」という）を生成するタイマーである。タイマー128は、所定値

カウントするたびにオーバーフロー信号をトリガ信号として出力し、オートクリアして「0」からカウントアップ動作するカウンタから構成される。

【0036】

リフレッシュアドレス生成回路129は、タイマー128からのトリガ信号を受けてカウント値を1つインクリメントするカウンタよりなり、カウント値はリフレッシュアドレスとして出力される。

【0037】

レジスタ130は、入力バッファ122からの外部アドレス（行アドレス）A_{ddE}と、リフレッシュアドレス生成回路129からのリフレッシュアドレスA_{ddF}とを入力し、これらのアドレスを保持出力するとともに、ライトアドレスとリフレッシュアドレスが互いに一致するか否かの判定を行い、判定結果を信号H_{ITE}として出力する。

【0038】

またレジスタ130は、外部から入力されたライトアドレスを保持し、レイトライトに対応して2つのライトサイクル分遅らせたアドレス信号A_{DE}を、Xデコーダ111Eに供給し、またリードアドレスはそのままXデコーダ111Eに供給する。さらに、レジスタ130は、ラッチしたリフレッシュアドレス信号A_{DF}をリフレッシュ専用のXデコーダ111Fに供給する。

【0039】

レジスタ130では、外部から入力された行アドレスが、1つのライトサイクル分前に入力され、レジスタ130内に保持されている行アドレスと一致しているときに、信号H_{IT1}を活性化し、外部から入力された行アドレスが、2つのライトサイクル分前に入力され、レジスタ130内に保持されている行アドレスと同じであるとき、信号H_{IT2}を活性化する。

【0040】

リフレッシュコントロール回路131は、レジスタ130からのヒット信号H_{ITE}（ライトアドレスとリフレッシュアドレスが一致するか否かの判定結果）を入力し、タイマー128からのトリガ信号Tを、内部クロック信号Kの例えば立ち上がりエッジでサンプルして、リフレッシュ制御信号F_Cを生成し、該リフ

レッシュ制御信号FCをXデコーダ111F、及びセンスアンプ／プリチャージ回路113Fに供給する。

【0041】

R／Wコントロール回路132は、コマンド判定回路127からのリード／ライトコマンド信号R／Wを、内部クロック信号Kでサンプルし、アクセス制御用の信号ECを、Xデコーダ111Eとセンスアンプ／プリチャージ回路113Eに供給する。Xデコーダ111Eは、アクセス制御信号ECに基づき、選択されたワード線を所定の期間活性化し、またセンスアンプ113Eは、アクセス制御信号ECに基づき、活性化が制御される。センスアンプ／プリチャージ回路113Eでは、リードサイクルにおいて、ワード線の活性化前に、ビット線B(E)のプリチャージを行う。アドレス端子(不図示)に供給されるアドレス信号を入力とする入力バッファ123の出力(列アドレス)を入力とするレジスタ133は、リード、ライト・コマンドR／W、ライト用クロック信号KWを入力し、ライトアドレス(列アドレス)を2つのライトサイクル分遅らせて出力し、リードアドレスはそのまま、Yデコーダ112に出力する。

【0042】

レジスタ133では、外部から入力された列アドレスが1つのライトサイクル分前の列アドレスと同じであるとき、信号HIT1を活性化し、外部から入力された列アドレスが2つのライトサイクル分前の列アドレスと同じであるとき、信号HIT2を活性化する。

【0043】

ヒット判定回路134は、レジスタ130とレジスタ133からの信号HIT1とHIT2をそれぞれ入力し、読み出しのデータ出力回路に供給するデータを選択するマルチプレクサ138に対して、選択制御信号を出力する。

【0044】

I／O端子に接続される入力バッファ124からの出力信号(書き込みデータ)は、クロック信号KDIN(コマンド判定回路127から出力される)をサンプリングクロックとするレジスタ136に取り込まれ、レジスタ136の出力信号は、クロック信号KDINをサンプリングクロックとするレジスタ137に取り

込まれ、レジスタ137の出力信号は、クロック信号KDINをサンプリングクロックとするレジスタ139で取り込まれる。レジスタ136とレジスタ137の出力信号は、マルチプレクサ138の2つの入力端子にそれぞれ入力される。

【0045】

レジスタ136とレジスタ139の出力信号はマルチプレクサ140の2つの入力端子にそれぞれに入力され、マルチプレクサ140は、選択制御信号WE2に基づき、一方を選択し、その出力信号は、トライステートバッファ126に入力される。マルチプレクサ140では、ライトイネーブル信号WE2が活性化されているとき（2ライトサイクル分のレイトライト）、レジスタ139の出力信号を選択出力し、ライトイネーブル信号WE2が非活性化されているとき、マルチプレクサ140は、レジスタ136の出力信号を選択出力する。

【0046】

レジスタ130とレジスタ133からの信号HIT1がともに活性化され、1サイクル前のライトサイクルと同じリードアドレスの場合、ヒット判定回路134は、マルチプレクサ138において、レジスタ136の出力が選択出力するように制御する。

【0047】

レジスタ130とレジスタ133からの信号HIT2がともに活性化され、2サイクル前のライトサイクルと同じリードアドレスの場合、ヒット判定回路134は、マルチプレクサ138において、レジスタ137の出力が選択されるように制御する。

【0048】

それ以外の場合のリードサイクルにおいて、ヒット判定回路134は、マルチプレクサ138において、センスアンプ113E、Yスイッチ（不図示；Yデコーダ112で選択される）を介してデータバスDBUSに出力された読み出しデータを選択するように制御する。

【0049】

トライステートバッファ126は、R/W信号がライトを示すとき、出力イネーブルとされ、リードを示すとき、出力がハイインピーダンス状態とされる。

【0050】

トライステートバッファ126の出力は、データバスDBUSに接続され、書き込みデータは、データバスDBUSから、Yデコーダ112に供給される。

【0051】

Yデコーダ112とトライステートバッファ126の間のデータバスDBUSは、マルチプレクサに138に接続されている。マルチプレクサに138は、前述したように、ヒット判定回路134からの選択制御信号に基づき、マルチプレクサ138に入力される3つの信号の選択を制御する。

【0052】

マルチプレクサ138の出力は、レジスタ135に入力され、内部クロック信号Kでサンプルされ、レジスタ135の出力は、R/W信号がリードを示すとき出力イネーブルとされるトライステートバッファからなる出力バッファ125を介して、I/O端子から出力される。

【0053】

本実施例の動作の概要を説明する。レジスタ130は、リフレッシュアドレス生成回路129からのリフレッシュアドレスと、2ライトサイクル分前に、入力バッファ122から入力され、レジスタ130内に保持されているライトアドレスとを比較し、一致している場合、信号HITEを活性化し、不一致の場合、信号HITEを非活性化とする。

【0054】

リフレッシュコントロール回路131は、レジスタ130からの信号HITEが非活性化状態のとき（より詳しくはm本の行アドレスのうちいずれか1本でもリフレッシュアドレス信号と一致しない場合）、リフレッシュ制御信号FCを活性化させる。R/Wコントロール回路132は、リード、ライトコマンドを受けて、制御信号ECを活性化させる。そして、2ライトサイクル前に入力されたライトアドレスに対するデータ（該データは、2ライトサイクル前にI/O端子より入力され、レジスタ139から出力され、マルチプレクサ140、バッファ126、データバスDBUSを介してYデコーダ112に供給される）のメモリセルへの書き込み動作（Xデコーダ111Eと、ビット線B（E）、センスアンプ

(ライトアンプ) SA/PC (E) による書き込み動作) と、リフレッシュ用の Xデコーダと、ビット線 B (F)、センスアンプ SA/PC (F) 113F によるメモリセルのリフレッシュ動作とが同時に行われる。

【0055】

なお、前述したように、レジスタ 130 は、1、2 ライトサイクル前に外部より入力されレジスタ 130 に保持されているライトアドレス (行アドレス) と、外部より入力されたアドレス (行アドレス) が一致する場合、HIT1、HIT2 をアクティブとする。レジスタ 133 は、1、2 ライトサイクル前に外部より入力されレジスタ 133 に保持されているライトアドレス (列アドレス) と、外部より入力されたアドレス (列アドレス) が一致する場合、HIT1、HIT2 を活性状態 (アクティブ) とする。

【0056】

リード時に、レジスタ 130 とレジスタ 133 からの HIT1、HIT2 が非活性状態のとき、ヒット判定回路 134 は、マルチプレクサ 138 において、データバス DBUS の読み出しデータを選択出力させ、マルチプレクサ 138 の出力は、レジスタ 135 でラッチされ、出力バッファ 125 から I/O 端子に出力される。

【0057】

1、又は 2 ライトサイクル分のライトアドレスの行及び列アドレスと、外部より入力されたリードアドレスの行及び列アドレスが一致する場合、レジスタ 130 とレジスタ 133 からの HIT1 又は HIT2 が活性化される。

【0058】

マルチプレクサ 138 では、信号 HIT1 が活性化されている場合、読み出しデータとして、レジスタ 136 に保持されている書き込みデータを、マルチプレクサ 138 で選択し、一方、信号 HIT2 が活性化されている場合、読み出しデータとしてレジスタ 137 に保持されている書き込みデータを、マルチプレクサ 138 で選択し、マルチプレクサ 138 の出力は、レジスタ 135 でラッチされ、出力バッファ 125 から I/O 端子に出力される。

【0059】

図1のレジスタ130の構成のいくつかの例について以下に説明する。図2は、図1のレジスタ130の構成の一例を示す図である。

【0060】

図2を参照すると、外部アドレスA d d Eを内部クロック信号Kの立ち上がりエッジでサンプルするラッチ回路300と、リフレッシュアドレスA d d Fを内部クロック信号Kの立ち上がりエッジでサンプルするラッチ回路301と、ラッチ回路300の出力信号を書き込み動作のクロック信号KWの立ち下がりエッジ（内部クロック信号Kの立ち上がりと同一サイクル内）でラッチするラッチ回路302と、ラッチ回路302の出力信号を、書き込み動作のクロック信号KWの立ち上がりエッジ（クロック信号KWの立ち下ったのち、次のライトサイクルでのクロック信号KWの立ち上がり）でラッチするラッチ回路303と、ラッチ回路303の出力信号を、書き込み動作のクロック信号KWの立ち下がりエッジでラッチするラッチ回路304と、ラッチ回路304の出力信号を書き込み動作のクロック信号KWの立ち上がりエッジでラッチするラッチ回路305と、を備えており、ラッチ回路300の出力信号とラッチ回路305の出力信号とを入力とし、リード、ライトコマンドR/W信号が、リードを示すときラッチ回路300の出力信号を選択し、R/W信号がライトを示すときラッチ回路305の出力信号を選択するマルチプレクサ306と、マルチプレクサ306の出力信号を、内部クロック信号Kの立ち下がりエッジでサンプルするラッチ回路310を備えている。

【0061】

ラッチ回路310の出力は、外部アドレス信号A D EとしてXデコーダ111 Eに供給される。さらに、レジスタ130は、ラッチ回路301の出力信号を内部クロック信号Kの立ち下がりエッジでサンプルするラッチ回路311を備えており、ラッチ回路311の出力は、リフレッシュアドレス信号A D Fとして、リフレッシュ用のXデコーダ111 Fに供給される。

【0062】

図2を参照すると、このレジスタ130（図1参照）は、さらに、一致検出回路307、308、309と、一致検出回路307、308、309の出力信号

を内部クロック信号Kの立ち下がりエッジでサンプルするラッチ回路312、313、314を備えている。

【0063】

一致検出回路307は、リフレッシュアドレスAddFをラッチするラッチ回路301の出力信号と、マルチプレクサ306の出力信号が互いに一致するか否か比較し、一致した場合、LOWレベルを出力する。この実施例では、一致検出回路は、2入力排他的論理和ゲートで構成されている。

【0064】

一致検出回路308は、外部アドレスをラッチするラッチ回路300の出力信号と、ラッチ回路300の出力信号を、書き込み動作のクロック信号KWの立ち下がりエッジでサンプルするラッチ回路302の出力信号が互いに一致するか否か比較し、一致した場合、LOWレベルを出力する。

【0065】

一致検出回路309は、ラッチ回路300の出力信号と、ラッチ回路304の出力（2つのサイクル前のライトアドレス）が一致するか否か比較し、一致した場合、LOWレベルを出力する。

【0066】

ラッチ回路312、313、314の出力は、信号HITE、HIT1、HIT2として出力される。

【0067】

ラッチ回路300及び301は、内部クロック信号KのLOWからHIGHレベルへの立ち上がりで、アドレスAddE、リフレッシュアドレスAddFをそれぞれラッチし、出力段のラッチ回路310～314は、同一サイクルでの内部クロック信号KのHIGHレベルからLOWレベルへの立ち下がりでそれぞれの入力をラッチ出力する。

【0068】

書き込み制御用のクロック信号（KW）の立ち下りエッジと立ち上がりエッジでそれぞれデータをサンプルする2つのラッチ回路302、303と、2つのラッチ回路304、305の組は、ライトアドレスをレイトライトの仕様に従い、

この場合、2 ライトサイクル遅延させる、タイミング調整用のライトアドレス保持回路（「レイトライトレジスタ」ともいう）として機能する。このライトアドレス保持回路を構成する最終段のラッチ回路 305 は、書き込み制御用のクロック信号 KW の立ち上がりで、ラッチ回路 300 でサンプルされてから 2 つのライトサイクル分遅れた時点で、ライトアドレスをマルチプレクサに出力する。

【0069】

次に、図 2 に示したレジスタ（図 1 の 130）の動作について説明する。リード動作時は、R/W 信号がリードを示し、R/W 信号を選択制御信号として入力するマルチプレクサ 306 では、ラッチ回路 300 の出力信号が選択され、ラッチ回路 310 から行アドレス信号 ADE が供給される。また、リフレッシュアドレス AddF を内部クロック信号 K の立ち上がりでラッチするラッチ回路 301 の出力信号を、内部クロック信号 K の立ち下がりエッジでラッチするラッチ回路 311 の出力信号がリフレッシュアドレス ADF として出力される。前述したように、ラッチ回路 301 とラッチ回路 311 によるリフレッシュアドレス AddF のラッチ出力は、同一サイクル内の内部クロック信号 K のパルスの立ち上がりで立ち下がりで行われる。なお、リード動作のとき、クロック信号 KW のクロックパルスは生成されず（例えば LOW レベルに保持される）、ラッチ回路 300 の出力は、4 段のラッチ回路 302、303、303、305 に転送されない。

【0070】

ライト動作時は、R/W 信号がライトを示し、R/W 信号を選択制御信号として入力するマルチプレクサ 306 では、ラッチ回路 305 の出力信号が選択され、ラッチ回路 310 から行アドレス信号 ADE が供給される。また、リフレッシュアドレス AddF を内部クロック信号 K の立ち上がりでラッチするラッチ回路 301 の出力信号を内部クロック信号 K の立ち下がりエッジでラッチするラッチ回路 311 の出力がリフレッシュアドレス ADF として出力される。

【0071】

一致検出回路 307 は、ラッチ回路 301 の出力信号と、マルチプレクサ 306 の出力信号（リードのときは、ラッチ回路 300 の出力、ライトのときは、ラッチ回路 305 の出力）が一致するか否かを比較し、一致した場合、LOW レベル

を出力し、不一致の場合、HIGHレベルを出力する。

【0072】

一致検出回路308は、ラッチ回路302の出力（1ライトサイクル分前のライトアドレス）と、ラッチ回路300の出力（現サイクルで入力されたアドレス）とが一致するか否か比較し、一致した場合、LOWレベルを出力し、不一致の場合、HIGHレベルを出力する。

【0073】

一致検出回路309は、ラッチ回路304の出力（2ライトサイクル分前のライトアドレス）と、ラッチ回路300の出力（現サイクルのアドレス）が一致するか否か比較し、一致した場合、LOWレベルを出力し、不一致の場合、HIGHレベルを出力する。

【0074】

なお、図2においては、簡単のため、ラッチ回路300～305、310～314、一致検出回路307～309、マルチプレクサ306へのアドレス入力として、1本の信号線で示されているが、行アドレス信号のビット幅分（例えばm本）の信号線がそれぞれ入力される。後述する図3、図5、図8等においても同様である。

【0075】

図3は、図1の、列アドレスをラッチしてYデコーダ112に供給するレジスタ133の構成の一例を示す図である。図3において、外部アドレスAddを内部クロック信号Kの立ち上がりエッジでサンプルするラッチ回路370と、ラッチ回路370の出力信号を書き込み動作のクロック信号KWの立ち下がりエッジでラッチするラッチ回路371と、ラッチ回路371の出力信号を書き込み動作のクロック信号KWの立ち上がりエッジでラッチするラッチ回路372と、ラッチ回路372の出力信号を書き込み動作のクロック信号KWの立ち下がりエッジでラッチするラッチ回路373と、ラッチ回路373の出力信号を書き込み動作のクロックKWの立ち上がりエッジでラッチするラッチ回路374を備えており、ラッチ回路370の出力信号とラッチ回路374の出力信号を入力とし、R/W信号がリードを示すときラッチ回路370の出力信号を選択し、R/

W信号がライトを示すときラッチ回路374の出力信号を選択するマルチプレクサ375と、マルチプレクサ375の出力信号を内部クロック信号Kの立ち下がりエッジでサンプルするラッチ回路376を備え、ラッチ回路376の出力信号は、外部アドレス信号（列アドレス）としてYデコーダ（図1の112）に供給され、ラッチ回路370の出力信号とラッチ回路371の出力が一致するか否か比較し、一致した場合、LOWレベルを出力する一致検出回路377と、ラッチ回路370の出力信号とラッチ回路373の出力が一致するか否か比較し、一致した場合、LOWレベルを出力する一致検出回路378とを備え、一致検出回路377の出力信号と一致検出回路378の出力信号を内部クロック信号Kの立ち下がりエッジでサンプルしてHIT1、HIT2として出力するラッチ回路379、380を備えて構成される。

【0076】

このレジスタ133の構成は、図2に示したレジスタ130の構成において、リフレッシュアドレス信号をラッチするラッチ回路（図2の301、311）と、リフレッシュアドレスとマルチプレクサ306の出力が一致するか否かを検出する回路（図2の307、312）を省力して構成される。

【0077】

図3に示したレジスタ（図1の133）の動作について説明する。リード動作時は、R/W信号がリードを示し、R/W信号を選択制御信号として入力するマルチプレクサ375では、ラッチ回路370の出力信号が選択され、ラッチ回路376から列アドレス信号ADEが供給される。なお、リード動作のとき、クロック信号KWのクロックパルスは生成されず、ラッチ回路370の出力は、4段のラッチ回路371、372、373、374に転送されない。

【0078】

ライト動作時は、R/W信号がライトを示し、R/W信号を選択制御信号として入力するマルチプレクサ375では、ラッチ回路374の出力信号が選択され、ラッチ回路376からアドレス信号（列アドレス）ADEが供給される。

【0079】

一致検出回路377は、ラッチ回路371の出力（1ライトサイクル分前のラ

イトアドレス) と、ラッチ回路 370 の出力 (現サイクルで入力されたアドレス) とが一致するか否かを比較し、一致した場合、LOW レベルを出力し、不一致の場合、HIGH レベルを出力する。

【0080】

一致検出回路 378 は、ラッチ回路 373 の出力 (2 ライトサイクル分前のライトアドレス) と、ラッチ回路 370 の出力 (現サイクルのアドレス) が一致するか否かを比較し、一致した場合、LOW レベルを出力し、不一致の場合、HIGH レベルを出力する。

【0081】

図 4 は、図 1 に示した半導体記憶装置の動作を説明するためのタイミング図である。図 4 において、Add E は、図 1 の入力バッファ 122 の出力、CLK/K は入力バッファ 121 への入力クロックと入力バッファ 121 からの出力クロック (内部クロック信号)、ADE は、レジスタ 130 の出力、Add F は、リフレッシュアドレス生成回路 129 の出力、ADF はレジスタ 130 から出力されるリフレッシュアドレス、HITE はレジスタ 130 から出力される一致検出信号 (ヒット信号)、EC は通常アクセス制御信号、FC はリフレッシュ制御信号、W (E) は通常アクセス用ワード線、B (E) は、通常アクセス用のビット線、SE (E) は通常アクセス用のセンスアンプ 113 E (図 1) のセンスイネーブル信号、W (F) はリフレッシュ専用ワード線、B (F) は、リフレッシュ用のビット線、SE (F) はリフレッシュ用のセンスアンプ 113 F (図 1) のセンスイネーブル信号である。

【0082】

外部行アドレス Add E が A0、A1、A2、…でライトサイクルが行われるものとする。リフレッシュアドレス Add F は、An-1、An、…とされる。

【0083】

信号 HITE が LOW レベルのとき (リフレッシュアドレス Add F が、2 つのライトサイクル前に入力されたライトアドレス Add E、又は、現サイクルのリードアドレス Add E と一致する場合)、リフレッシュ制御信号 FC は活性化されず、通常アクセス制御信号 EC が活性化され、ワード線 W (E) が活性化され

、センスアンプ S E (E) (不図示のライトアンプ) の活性化が行われる。リフレッシュ制御信号 F C は活性化されないため、リフレッシュ用ポートのコアポートにおいて、センスアンプ S E (F) の活性化によるリフレッシュが行われない。

【0084】

外部行アドレス $A1 \neq A_n$ (リフレッシュアドレス) の場合、信号 H I T E は H I G H レベルとされ (記号「*」で示す)、リード、ライト用のコアポートにおいて、通常アクセス制御信号 E C が活性化され、ワード線 W (E) が活性化され、ビット線 B (E) に接続するセンスアンプ S E (E) による読み出し (書き込み時にはライトアンプによる書き込み) が行われる。また、リフレッシュ制御信号 F C は活性化され (記号「*」で示す、この例では、H I G H レベル)、ワード線 W (F) が活性化され、リフレッシュ用ポートのコアポートにおいて、センスアンプ S E (F) の活性化によるリフレッシュが行われる。

【0085】

なお、ここで、センスアンプ S E (E) の活性化がセンスアンプ S E (F) の活性化より先行すると、センスアンプ S E (E) の活性化が電源ノイズとなりセンスアンプ S E (F) の活性化前のビット線 B (F) に悪影響を与え、逆にセンスアンプ S E (F) の活性化がセンスアンプ S E (E) の活性化より先行するとセンスアンプ S E (F) の活性化が電源ノイズとなってビット線 B (E) の電位に伝わり悪影響を与える。そこで、本実施例では、リフレッシュコントロール回路 131 と、R/W コントロール回路 132 とに入力される内部クロック信号 K により、センスアンプ S E (E) とセンスアンプ S E (F) とが同時に活性化を開始するように制御している。

【0086】

図5は、図1のレジスタ130の別の構成の一例を示す図である。図5を参照すると、このレジスタは、外部アドレス A d d E を内部クロック信号 K の立ち上がりエッジでサンプルするラッチ回路 320 と、ラッチ回路 320 の出力信号を内部クロック信号 K の立ち下がりエッジでラッチするラッチ回路 329 と、リフレッシュアドレス A d d F を内部クロック信号 K の立ち上がりエッジでサンプル

するレジスタ回路（ラッチ）321と、ラッチ回路320の出力信号を書き込み動作のクロック信号KWの立ち下がりエッジでラッチするラッチ回路322と、ラッチ回路322の出力信号を書き込み動作のクロック信号KWの立ち上がりエッジでラッチするラッチ回路323と、ラッチ回路323の出力信号を書き込み動作のクロック信号KWの立ち下がりエッジでラッチするラッチ回路324と、ラッチ回路324の出力信号を書き込み動作のクロック信号KWの立ち上がりエッジでラッチするラッチ回路325と、を備えており、ラッチ回路320の出力信号とラッチ回路325の出力信号を入力とし、R/W信号がリードを示すときラッチ回路320の出力信号を選択し、R/W信号がライトを示すときラッチ回路325の出力信号を選択するマルチプレクサ326と、マルチプレクサ326の出力信号の反転して出力するインバータ327と、インバータ327の出力信号を反転しインバータ327の入力に供給するインバータ328と、インバータ327の出力信号を反転してアドレス信号ADEを出力するインバータ333を備え、インバータ327、328はフリップフロップを構成している。

【0087】

インバータ323の出力信号ADEは、Xデコーダ111Eに供給される。レジスタ321の出力は、リフレッシュアドレス信号ADFとしてリフレッシュ用のXデコーダ111Fに供給される。

【0088】

さらに、このレジスタは、一致検出回路330、331、332を備えている。一致検出回路332は、ラッチ回路324の出力信号と、レジスタ321の出力信号が一致するか否か比較し、一致した場合、信号HITEを活性化して（LOWレベルとして）出力し、不一致の場合、HIGHレベルの信号HITEを出力する。

【0089】

一致検出回路330は、ラッチ回路329の出力信号とラッチ回路322の出力が一致するか否か比較し、一致した場合、信号HIT1を活性化して（LOWレベルとして）出力し、不一致の場合、HIGHレベルの信号HIT1を出力する。

【0090】

一致検出回路 331 は、ラッチ回路 329 の出力信号とラッチ回路 324 の出力（2つのライトサイクル前に対応するライトアドレス）が一致するか否かを比較し、信号 HIT2 を活性化して（LOW レベルとして）出力し、不一致の場合、HIGH レベルの信号 HIT2 を出力する。

【0091】

書き込み制御用のクロック信号 KW の立ち下りエッジと立ち上がりエッジでそれぞれデータをサンプルする 2つのラッチ回路 322、323 と、2つのラッチ回路 324、325 の組は、ライトアドレスをレイトライトの仕様に従い、この場合、2ライトサイクル遅延させるライトアドレス保持回路として機能する。このライトアドレス保持回路を構成する最終段のラッチ回路 325 は、書き込み制御用のクロック信号 KW の立ち上がりで、ラッチ回路 320 でサンプルされてから 2つのライトサイクル遅れたタイミングで、ライトアドレスをマルチプレクサ 326 に出力する。一致検出回路 332 には、レジスタ 321 からのリフレッシュアドレスと、アドレス AddE がラッチ回路 320 に入力されたサイクルの次のライトサイクルにおける書き込みクロック信号の立ち下りエッジ（ライトアドレスが入力されてから 2つのライトサイクルが経過する前の時点）で、アドレスを出力するラッチ回路 324 の出力信号とを入力して、これらのアドレスが一致するか否かを比較する。

【0092】

2つのライトサイクル前の書き込みアドレスと、リフレッシュアドレスとが一致した場合、図 1 のリフレッシュコントロール回路 131 に供給する信号 HITE を LOW レベルとして、リフレッシュ動作をとめる。すなわち、信号 HITE を受けるリフレッシュコントロール回路 131 は、リフレッシュ制御信号 FC を非活性化状態とし、リフレッシュ動作を止める。

【0093】

図 2 に示したレジスタ 130 の構成と相違して、この実施例のレジスタにおいては、信号 HITE は、マルチプレクサ 326 の前の段に位置するラッチ回路 324 の出力信号と、リフレッシュアドレスの一致検出結果とされている。この実

施例では、セルアレイに対するライト動作が行われるサイクルが開始されるよりも前の時点で、リフレッシュアドレスと、ライトアドレスとが一致するか否か比較判定する、構成とされており、リフレッシュアドレスと、2つのライトサイクル前のライトアドレスとが一致している場合、リフレッシュを止め、一致している場合、ライト動作と、リフレッシュ動作とが同時に行われる。

【0094】

図6は、図1のリフレッシュコントロール回路131の構成の一例を示す図である。図6を参照すると、このリフレッシュコントロール回路は、ライトイネーブル／WE（LOWレベルでアクティブ）を入力し、さらに、図5に示したレジスタからのH I T E信号を、行アドレス信号の本数分（A0～Am）入力し、これらの入力信号の論理和（O R）演算結果を出力する論理ゲート401を備え、内部クロック信号Kで、タイマー128からのリフレッシュトリガ信号Tをサンプルするレジスタ402を備えている。

【0095】

論理ゲート401の出力信号とレジスタ402の出力信号を入力とし、2つの入力信号の論理積（A N D）演算結果を出力する論理ゲート403を備え、論理ゲート403の出力信号Aを入力とし、論理ゲート403の出力信号Aが、リフレッシュを指示する値であるとき、内部クロック信号Kの立ち上がりエッジに基づき、リフレッシュ制御信号F C（ワンショットパルス）を出力するコントロールパルス発生回路404を備えている。

【0096】

論理ゲート401は、入力信号として、ライトイネーブル／WEがLOWレベルであり、且つ、行アドレス信号（A0～Am）の本数分の複数の信号H I T EがすべてLOWレベル（一致）のときにのみ、LOWレベルを出力し、それ以外の入力信号の論理レベルの組み合わせに対してH I G Hレベルを出力する。論理ゲート403は、レジスタ402がリフレッシュトリガ信号Tを内部クロック信号Kでサンプルした信号がH I G Hレベルである場合（リフレッシュ要求があがったときでも）に、論理ゲート401の出力信号がLOWレベルである場合（すなわち、ライトイネーブル／WEがLOWレベルであり、且つ、ライトアドレスの

行アドレス信号がリフレッシュアドレスと一致している場合) には、当該リフレッシュアドレスに関するリフレッシュ動作を抑止する制御を行なうように、コントロールパルス発生回路 404 に指示する。すなわち、

(a) リフレッシュトリガ信号 T が生成されないサイクルには、レジスタ 402 から LOW レベルが出力され、論理ゲート 403 の出力信号 A は、LOW レベルとされ、コントロールパルス発生回路 404 は、リフレッシュ制御信号 FC を非活性化状態 (例えば LOW レベル) とする。

【0097】

(b) リフレッシュトリガ信号 T が生成され、レジスタ 402 から HIGH レベルが出力されるが、論理ゲート 401 から LOW レベルが出力されるとき (信号 /WE が LOW レベル、HITE がすべて LOW レベルのとき) は、論理ゲート 403 の出力信号 A は LOW レベルとされ、コントロールパルス発生回路 404 は、リフレッシュ制御信号 FC を非活性化状態 (例えば LOW レベル) とする。

【0098】

(c) リフレッシュトリガ信号 T が生成され、レジスタ 402 から HIGH レベルが出力され、論理ゲート 401 から HIGH レベルが出力されるとき (信号 /WE が HIGH レベル、又は、少なくとも 1 つの HITE が HIGH レベルのとき) は、論理ゲート 403 の出力信号 A は、HIGH レベルとされ、コントロールパルス発生回路 404 は、リフレッシュ制御信号 FC を活性化状態 (例えば HIGH レベル) とする。

【0099】

なお、図 6 では、説明のため、リフレッシュアドレスと、2 つのライトサイクル相当前に入力されたライトアドレスとの一致を検出する一致検出回路 (図 5 の 332) を 2 ビット入力の排他的論理和とし、行アドレス信号 (A0~Am) に対して、m 個の一致検出回路を備え、m 本の HITE 信号が出力される構成を想定している。一方、図 5 の一致検出回路 332 が、ラッチ回路 324 から並列出力される m ビットのライトアドレスと、レジスタ 321 から並列出力される m ビットのリフレッシュアドレスとが一致するか比較し、1 ビットの信号 HITE を出

力する回路構成とされている場合、図6の論理ゲート401は、 \neg WEと信号H I T Eを入力とする2入力OR回路で置き換えられる。

【0100】

図6に示す構成では、論理ゲート401に入力されるH I T E信号として、図5を参照して説明した、レイトライト用のレジスタ（ラッチ回路324）から出力されるライトアドレスと、レジスタ321のリフレッシュアドレスを1サイクル前に判定しておく構成とし、信号H I T Eの信号経路の遅れ（外部アドレスとリフレッシュアドレスの比較時間）を、見えなくしている。すなわち、内部クロック信号Kの立ち上がりから、リフレッシュ制御信号F Cの立ち上がりまでの信号パスを高速化する（信号の遅延時間を短縮）。

【0101】

図7は、図6に示したリフレッシュコントロール回路の動作を説明するためのタイミング図である。図7には、セルアレイへのライト動作（W r i t e C y c l e）が開示される直前のサイクルで信号H I T EがH I G Hレベル（ライトアドレスの行アドレスとリフレッシュアドレスが不一致）、L O Wレベル（ライトアドレスの行アドレスとリフレッシュアドレスが一致）とされた場合について実線と破線で示されている。

【0102】

リードサイクル（R e a d C y c l e）において、内部クロック信号Kの立ち上がりにおいて、論理ゲート403の出力信号AはL O Wレベルとされ、コントロールパルス発生回路405から出力されるリフレッシュ制御信号F CはL O Wレベルのままである。

【0103】

ライトサイクルにおいて、内部クロック信号Kの立ち上がりで、信号 \neg WEはL O Wレベルであり、アドレスA0～Amに関するm本のすべての信号H I T EがL O Wレベルであるとき（2サイクル前のライトアドレスがリフレッシュアドレスと一致）、論理ゲート401の出力はL O Wレベルであり、論理ゲート403の出力であるノードAはL O Wレベルとなる。このとき、コントロールパルス発生回路404から出力されるリフレッシュ制御信号F CはL O Wレベルとされ、

リフレッシュは行われない (図7のWrite Cycleの「*」参照)。なお、図7において、HITE、ノードA、FCの「*」は、ライトアドレスの行アドレスがリフレッシュアドレスとヒットした場合 (HITE=LOWレベル) を表し、対応する破線はそれぞれの信号波形を示している。

【0104】

行アドレスA0～Amに関して少なくともいずれか一つのアドレスについての信号HITEがHIGHレベルであるとき (不一致の場合)、ライトサイクルの内部クロック信号Kの立ち上がりにおいて、論理ゲート403の出力であるノードAはHIGHレベルとなる。コントロールパルス発生回路404から出力されるリフレッシュ制御信号FCはHIGHレベルとされ、リフレッシュ動作が行なわれる。

【0105】

なお、図5に示したレジスタの構成において、リフレッシュアドレスAddFを入力とするレジスタ321と、一致検出回路332を除いた構成を、図1のレジスタ133として用いてもよい。

【0106】

図8は、図1のレジスタ130のさらに別の構成の一例を示す図である。図8を参照すると、外部アドレスAddEを内部クロック信号Kの立ち上がりエッジでサンプルするラッチ回路340と、ラッチ回路340の出力信号を内部クロック信号Kの立ち下がりエッジでラッチするラッチ回路348と、リフレッシュアドレスAddFを内部クロック信号Kの立ち上がりエッジでサンプルするレジスタ回路 (ラッチ回路) 356と、ラッチ回路340の出力信号を書き込み動作のクロック信号KWの立ち下がりエッジでラッチするラッチ回路341と、ラッチ回路341の出力信号を書き込み動作のクロック信号KWの立ち上がりエッジでラッチするラッチ回路342と、ラッチ回路342の出力信号を書き込み動作のクロック信号KWの立ち下がりエッジでラッチするラッチ回路343と、ラッチ回路343の出力信号を書き込み動作のクロック信号KWの立ち上がりエッジでラッチするラッチ回路344と、を備えており、ラッチ回路340の出力信号とラッチ回路344の出力信号を入力とし、R/W信号がリードを示すと

キラッチ回路 340 の出力信号を選択し、R/W 信号がライトを示すときラッチ回路 344 の出力信号を選択するマルチプレクサ 345 と、マルチプレクサ 345 の出力信号を反転出力するインバータ 346 と、インバータ 346 の出力信号を反転しインバータ 346 の入力に供給するインバータ 347 と、インバータ 346 の出力信号を反転しアドレス信号 ADE として出力するインバータ 358 とを備え、インバータ 346、347 はフリップフロップを構成している。

【0107】

インバータ 358 の出力信号 ADE は、X デコーダ 111E に供給される。レジスタ 356 の出力信号は、リフレッシュアドレス信号 ADF としてリフレッシュ用の X デコーダ 111F に供給される。

【0108】

さらに、このレジスタは、一致検出回路 349、350 を備えている。一致検出回路 349 は、ラッチ回路 348 の出力信号と、レジスタ 341 の出力信号とが一致するか否か比較し、一致した場合、信号 HIT1 を活性化して（LOW レベルとして）出力する。一致検出回路 350 は、ラッチ回路 348 の出力信号と、レジスタ 343 の出力信号とが一致するか否か比較し、一致した場合、信号 HIT2 を活性化して（LOW レベルとして）出力する。

【0109】

外部アドレス AddE とリフレッシュアドレス AddF とを入力するリード用の一致検出回路 351 を備え、外部アドレス AddE とリフレッシュアドレス AddF とが一致した場合、一致検出回路 351 は、LOW レベルを出力する。

【0110】

ラッチ回路 343 の出力信号とリフレッシュアドレス AddF とを入力するライト用の一致検出回路 352 を備え、ラッチ回路 343 の出力信号とリフレッシュアドレス AddF とが一致した場合、一致検出回路 352 は LOW レベルを出力する。

【0111】

一致検出回路 351 の出力端子は、PMOS トランジスタよりなるパストランジスタ 353 の一端に接続され、一致検出回路 352 の出力端子は、NMOS ト

ランジスタ 354 よりなるパストランジスタ 354 の一端に接続され、パストランジスタ 353、354 の接続点は、レジスタ 357 に接続されている。PMOS トランジスタ 353 は、ゲート端子に $\overline{R/W}$ 信号を入力し、 $\overline{R/W}$ 信号が LOW レベルのとき（リードのとき）、オンし、リード用一致検出回路 351 の出力信号をレジスタ 357 へ伝達する。

【0112】

NMOS トランジスタ 354 は、ゲート端子に $\overline{R/W}$ 信号を入力し、 $\overline{R/W}$ 信号が HIGH レベルのとき（ライトのとき）、オンし、一致検出回路 352 の出力信号をレジスタ 357 へ伝達する。

【0113】

レジスタ 357 は、PMOS トランジスタ 353 と NMOS トランジスタ 354 の接続点の信号電圧を、内部クロック信号 K でサンプルして信号 HITE として出力する。

【0114】

内部クロック信号 K で駆動されるレジスタ 357 の前段で、外部アドレス Add E の入力 (B) と、リフレッシュアドレス Add F を、一致検出回路 351 で判定し、リード用の判定結果と、ライト用判定結果を $\overline{R/W}$ 信号で選択して、内部クロック信号 K でレジスタ 357 に取り込んでいる。内部クロック信号 K の立ち上がりの前に、リフレッシュアドレス Add F と外部アドレス Add E との一致が判定できるため、高速である。

【0115】

図 8 の構成において、レジスタ 356、リード用一致検出回路 351、ライト用一致検出回路 352、パストランジスタ 353、354、レジスタ 357 を除去して、図 1 のレジスタ 133 を構成してもよい。

【0116】

図 9 は、上記した 2 ポート DRAM セルを有する、本発明の実施例の半導体記憶装置を適用した、ZBT 仕様の高速 SRAM の動作を説明するためのタイミング図である。図 9 において、CLK は、図 1 のクロック信号 CLK、Add は、図 1 の外部からアドレス端子に供給されるアドレス Add、 $\overline{R/W}$ は図 1 のリー

ド／ライト信号 R／W であり、「R」はリード、「W」はライトを表している。
I／O は図 1 の I／O 端子のデータ、Word はセルアレイのワード線、セルへの
リードライトは、セルアレイへのリードであるか、ライトであるかを表している
。

【0117】

時刻（タイミング） t_0 、 t_1 からの 2 サイクルでは、アドレス A_0 、 A_2 が
アドレス端子に入力され、それぞれ、セルアレイ側でのリードサイクル（R／W
号＝LOW レベル）である。

【0118】

タイミング t_2 、 t_4 、 t_5 からの 3 サイクルは、アドレス A_3 、 A_4 、 A_5
がアドレス端子に入力され、それぞれ、セルアレイ側でのライトサイクル（R／
W 号＝HIGH レベル）である。

【0119】

タイミング t_6 、 t_7 からの 2 サイクルは、アドレス A_6 、 A_7 がアドレス端
子に入力され、それぞれ、セルアレイ側でのリードサイクル（R／W 号＝LOW
レベル）である。

【0120】

I／O 端子には、タイミング t_2 、 t_4 で、セルアレイからの読み出しデータ
 Q_0 、 Q_2 （アドレス A_0 、 A_2 のメモリセルの読み出しデータ）が出力される
（図 9 の I／O の「Data Out」参照）。読み出しデータの I／O 端子か
らの出力は、リードアドレスの入力から 1 サイクル遅れている。

【0121】

タイミング t_5 、 t_6 、 t_7 では、I／O 端子から書き込みデータ Q_3 、 Q_4
、 Q_5 が入力され（図 9 の I／O の「Data In」参照）、タイミング t_8
では、I／O 端子から、読み出しデータ Q_6 （タイミング t_6 のアドレス A_6 で
読み出されたデータ）が出力される。

【0122】

図 9 の「Word」は、図 1 の通常ワード線 $W(E)$ に対応し、「Word」
の A_0 、 A_2 は、アドレス A_0 、 A_2 に対応するワード線が選択されていること

を示しており、Readは、セルからの読み出しが行われることを表している。すなわち、セルアレイの動作としてワード線は、タイミング t_0 、 t_1 でアドレス A_0 、 A_2 がそれぞれ選択され、セルデータ Q_0 、 Q_2 がセルから読み出される。

【0123】

タイミング t_2 、 t_4 では、それぞれ、ライトサイクル t_2 よりも、2 ライトサイクル（図9では図示されない）前のライトアドレス $AW-2$ 、 $AW-1$ が選択され、データ $DW-2$ 、 $DW-1$ がそれぞれセルに書き込まれる（レイトライト）。

【0124】

タイミング t_5 において、2 ライトサイクル前のアドレス A_3 が選択され（レイトライト）、 D_3 がセルに書き込まれる。

【0125】

タイミング t_6 、 t_7 では、それぞれアドレス A_6 、 A_7 が選択され、セルデータ Q_6 、 Q_7 がセルから読み出される。図9に示したように、パイプライン・バースト動作が行われ、リード／ライト動作において、アドレス入力からデータ入力／出力まで、1／2クロックサイクル遅れ、リード／ライト動作の切替時に、データバスにデッドサイクルが存在せず、最大限のメモリ・バンド幅での使用を可能として、高速化を達成している。

【0126】

以下に、本発明の別の実施例についてさらに説明する。図10は、図1のレジスタ130の別の構成を示す図であり、レイトライト1段の構成である。図10を参照すると、このレジスタは、外部アドレス $AddE$ を内部クロック信号 K の LOW レベルから HIGH レベルへの立ち上がりエッジでサンプルするラッチ回路360と、ラッチ回路360の出力信号を、HIGH レベルに立ち上がっている内部クロック信号 K の LOW レベルへの立ち下がりエッジでラッチするラッチ回路366と、リフレッシュアドレス $AddF$ を内部クロック信号 K の立ち上がりエッジでサンプルするレジスタ（ラッチ回路）368と、ラッチ回路360の出力信号を書き込み動作のクロック信号 KW の立ち下がりエッジ（ラッチ回路

360のサンプリング信号をなす内部クロック信号Kの立ち上がりと同一サイクルでのクロック信号KWの立ち下がり)でラッチするラッチ回路361と、ラッチ回路361の出力信号を、書き込み動作のクロック信号KWへの立ち上がりエッジ(ラッチ回路360でラッチされたサイクルの次のライトサイクルでのクロック信号KWの立ち上がり)でラッチするラッチ回路362と、ラッチ回路360の出力信号とラッチ回路362の出力信号を入力とし、R/W信号がリードを示すときラッチ回路360の出力信号を選択し、R/W信号がライトを示すときラッチ回路362の出力信号を選択するマルチプレクサ363と、マルチプレクサ363の出力信号を反転出力するインバータ364と、インバータ364の出力信号を反転しインバータ364の入力に供給するインバータ365と、インバータ364の出力信号を反転し出力信号ADEとして出力するインバータ370を備え、インバータ364、365はフリップフロップを構成している。

【0127】

インバータ370の出力信号ADEは、Xデコーダ111Eに供給される。レジスタ368の出力信号は、リフレッシュアドレス信号ADFとしてリフレッシュ用のXデコーダ111Fに供給される。

【0128】

図10を参照すると、このレジスタは、さらに、一致検出回路367、369を備えている。一致検出回路369は、ラッチ回路361の出力信号と、レジスタ368の出力信号とが一致するか否かを比較し、一致した場合、信号HITEを活性化して(LOWレベルとして)出力する。この構成においても、ライトアドレスを1ライトサイクル分遅延させる前の時点で、一致検出回路369は、リフレッシュアドレスと、ライトアドレスとが一致するか否かを検出する構成とされている。

【0129】

一致検出回路367は、ラッチ回路366の出力信号とラッチ回路361の出力信号とを比較し、一致した場合、信号HIT1を活性化して(LOWレベルとして)出力し、不一致の場合、HIGHレベルの信号HIT1を出力する。

【0130】

書き込み動作のクロック信号KWの立ち下がりエッジでラッチするラッチ回路361と、書き込み動作のクロック信号KWの立ち上がりエッジでラッチするラッチ回路362とが、1ライトサイクル分、ライトアドレスを遅延させるライトアドレス保持回路として機能する。

【0131】

図1のレジスタ133も、図10の構成に従い、1レイトライト構成としてもよい。すなわち、図1のレジスタ133は、図10において、リフレッシュアドレスをラッチするレジスタ368と一致検出回路369を除いて構成される。なお、クロック信号CLK、及び内部クロック信号K等のかわりに、ラッチタイミング信号として、チップイネーブル信号／CEを用いてもよい。あるいは、リード動作において、チップイネーブル信号を内部クロック信号Kのかわりに用い、ライト動作において、ライトイネーブル信号／WEを書き込み動作のクロック信号KWの代わりに用いてもよい。かかる構成により、クロック同期型でない、疑似SRAMに対しても、本発明を適用することができる。なお、上述した実施例の変形として、図1のヒット（HIT）判定回路134の出力により、R／Wコントロール回路132を制御し、ヒット（HIT）判定回路134で一致を検出した場合には、セルアレイ100からの読み出しを禁止する構成としてもよい。

【0132】

また、上記実施例では、レジスタ130等において所定サイクル分遅らせたライトアドレスの行アドレス信号と、リフレッシュアドレスとを比較して一致検出信号HITEを生成し、リフレッシュ動作の制御を行なっているが、例えば外部から入力されたリードアドレスの行アドレス信号と、リフレッシュアドレスとを比較し、不一致の場合には、リードアドレスで選択されるセルアレイからのデータの読み出しと同時に、リフレッシュアドレスで選択されるセルアレイのリフレッシュ動作を行い、一致の場合は、リフレッシュ動作を抑止し、前記リードアドレスで選択されるセルアレイからのデータの読み出しを行う構成としてもよい。

【0133】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成に

のみ限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0 1 3 4】

【発明の効果】

以上説明したように、本発明によれば、リフレッシュ用のワード線、ビット線、センスアンプを備えたデュアルポート D R A M セルを有し、リフレッシュアドレスと外部アドレスとが異なる場合、リード／ライト動作とリフレッシュ動作を同時並行的に行うようにしたことにより、リフレッシュ動作のための非選択時間を設けることを不用とし、クロック同期型高速 S R A M を、低コスト、チップ面積の縮減、低消費電力で実現することができる。

【0 1 3 5】

また、本発明によれば、セルアレイにおいてライト動作が開始されるよりも前に、リフレッシュアドレスと、ライトアドレスとが一致するか否か比較判定する構成とし、リフレッシュアドレスのラッチのタイミングからリフレッシュ制御信号の出力までの信号パスの遅延を、みかけ上短縮し、高速化に対応可能としている。

【図面の簡単な説明】

【図 1】

本発明の一実施例の半導体記憶装置のセルアレイ及び全体の構成を示す図である。

【図 2】

本発明の一実施例のレジスタ（R E G X）の構成の一例を示す図である。

【図 3】

本発明の一実施例のレジスタ（R E G Y）の構成の一例を示す図である。

【図 4】

本発明の一実施例の動作を説明するためのタイミング波形図である。

【図 5】

本発明の一実施例のレジスタ（R E G X）の別の構成例を示す図である。

【図 6】

本発明の一実施例のリフレッシュコントロール回路の構成の一例を示す図である。

【図 7】

本発明の一実施例のリフレッシュコントロール回路の動作を説明するためのタイミング図である。

【図 8】

本発明の一実施例のレジスタ（REGX）のさらに別の構成例を示す図である。

【図 9】

本発明が適用される ZBT の動作を説明するための図である。

【図 10】

本発明の一実施例のレジスタ（REGX）のさらに別の構成例を示す図である。

【図 11】

従来の DRAM セルの構成の一例を示す図である。

【符号の説明】

1 0 0 セルアレイ

1 1 1 E X デコーダ（通常アクセス用 X デコーダ）

1 1 1 F X デコーダ（リフレッシュ用 X デコーダ）

1 1 2 Y デコーダ

1 1 3 E センスアンプ／プリチャージ回路（通常アクセス用）

1 1 3 F センスアンプ／プリチャージ回路（リフレッシュ用）

1 2 1 入力バッファ（クロック入力バッファ）

1 2 2 入力バッファ（アドレスバッファ）

1 2 3 入力バッファ（アドレスバッファ）

1 2 4 データ入力バッファ

1 2 5 出力バッファ（トライステートバッファ）

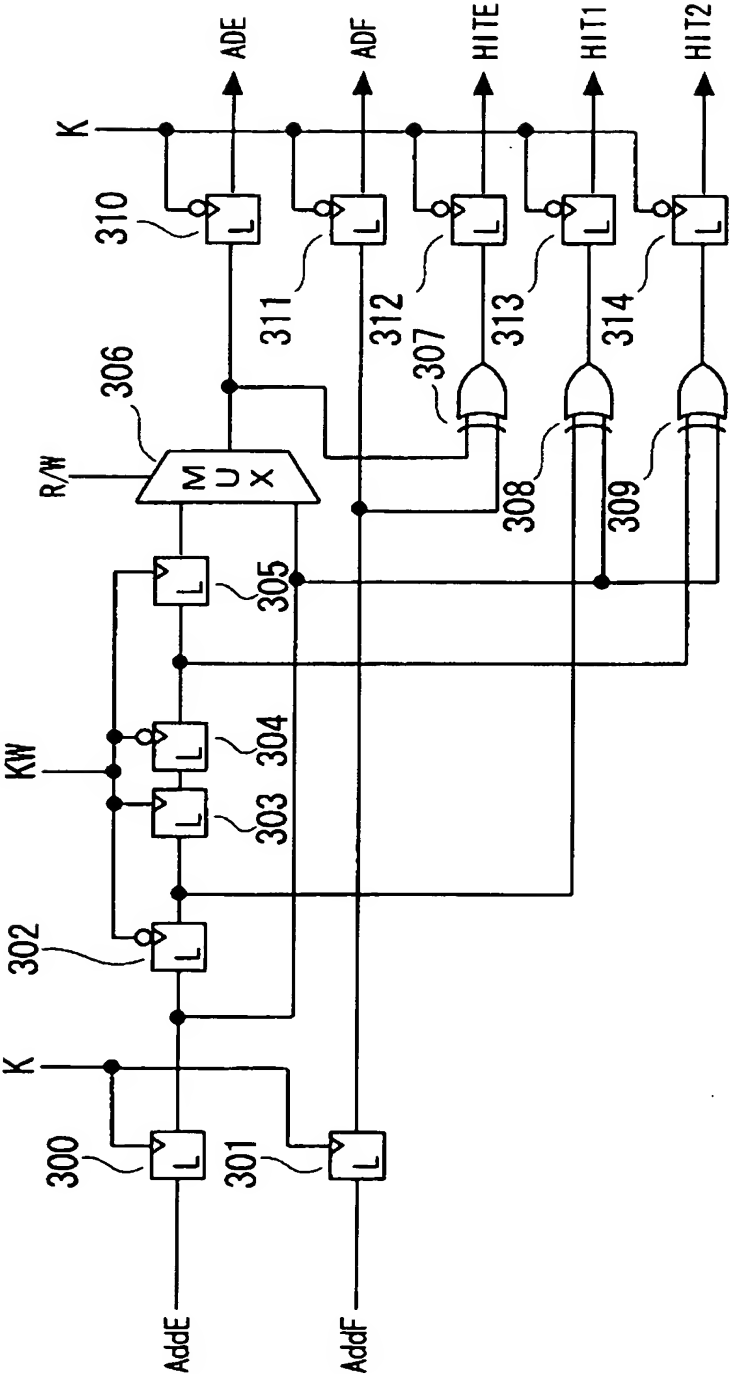
1 2 6 バッファ（トライステートバッファ）

1 2 7 コマンド判定回路

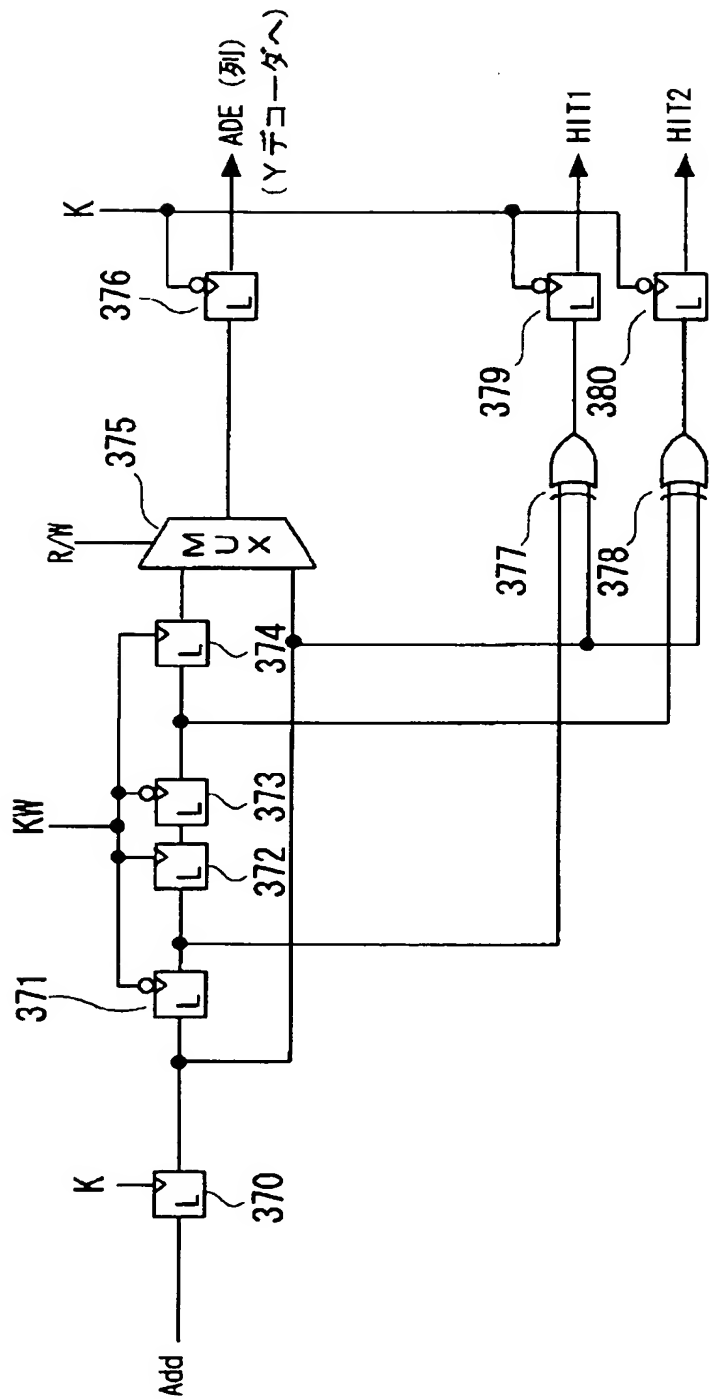
- 1 2 8 タイマー
- 1 2 9 リフレッシュアドレス生成回路
- 1 3 0 レジスタ (R E G X)
- 1 3 1 リフレッシュコントロール回路
- 1 3 2 R/Wコントロール回路
- 1 3 3 レジスタ (R E G I Y)
- 1 3 4 ヒット (H I T) 判定回路
- 1 3 5 レジスタ
- 1 3 6、1 3 7、1 3 9、レジスタ
- 1 3 8 マルチプレクサ
- 1 4 0 マルチプレクサ
- 2 0 1 ビット線 (通常アクセス用)
- 2 0 2 ビット線 (リフレッシュ用)
- 2 0 3 ワード線 (通常アクセス用)
- 2 0 4 ワード線 (リフレッシュ用)
- 2 0 5、2 0 6 メモリセルトランジスタ
- 2 0 7 キャパシタ
- 3 0 0 ~ 3 0 5、3 1 0 ~ 3 1 4、3 7 0 ~ 3 7 4、3 7 6 ~ 3 8 0 ラッチ
回路
- 3 0 6、3 7 5 マルチプレクサ
- 3 0 7 ~ 3 0 9、3 7 7、3 7 8 一致検出回路
- 3 2 0、3 2 2 ~ 3 2 5 ラッチ回路
- 3 2 1 レジスタ
- 3 2 6 マルチプレクサ
- 3 2 7、3 2 8、3 3 3 インバータ
- 3 3 0 ~ 3 3 2 一致検出回路
- 3 4 0 ~ 3 4 4、3 4 8 ラッチ回路
- 3 4 5 マルチプレクサ
- 3 4 6、3 4 7、3 5 8 インバータ

- 3 4 9 ～ 3 5 2 一致検出回路
- 3 5 3 PMOS パストランジスタ
- 3 5 4 NMOS パストランジスタ
- 3 5 6、3 5 7 レジスタ
- 3 6 0、3 6 2、3 6 6 ラッチ回路
- 3 6 3 マルチプレクサ
- 3 6 4、3 6 5、3 7 0 インバータ
- 3 6 7、3 6 9 一致検出回路
- 3 6 8 レジスタ
- 4 0 1 論理ゲート
- 4 0 2 レジスタ
- 4 0 3 論理ゲート
- 4 0 4 コントロールパルス発生回路

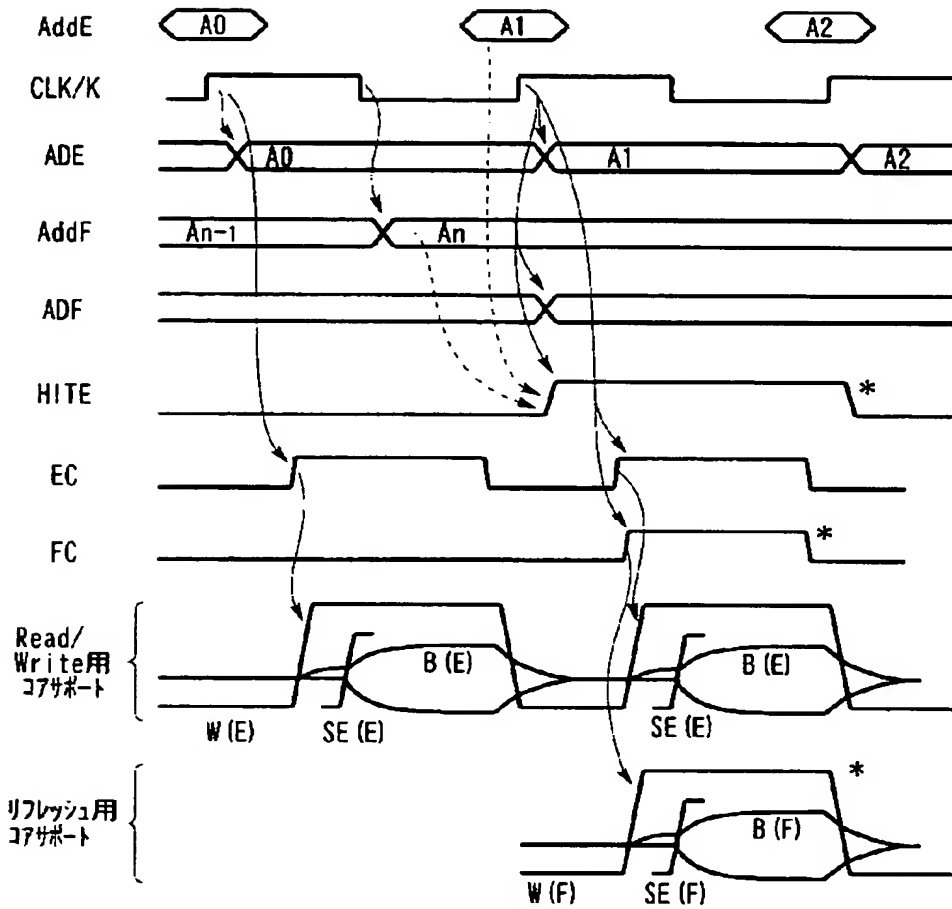
【図 2】



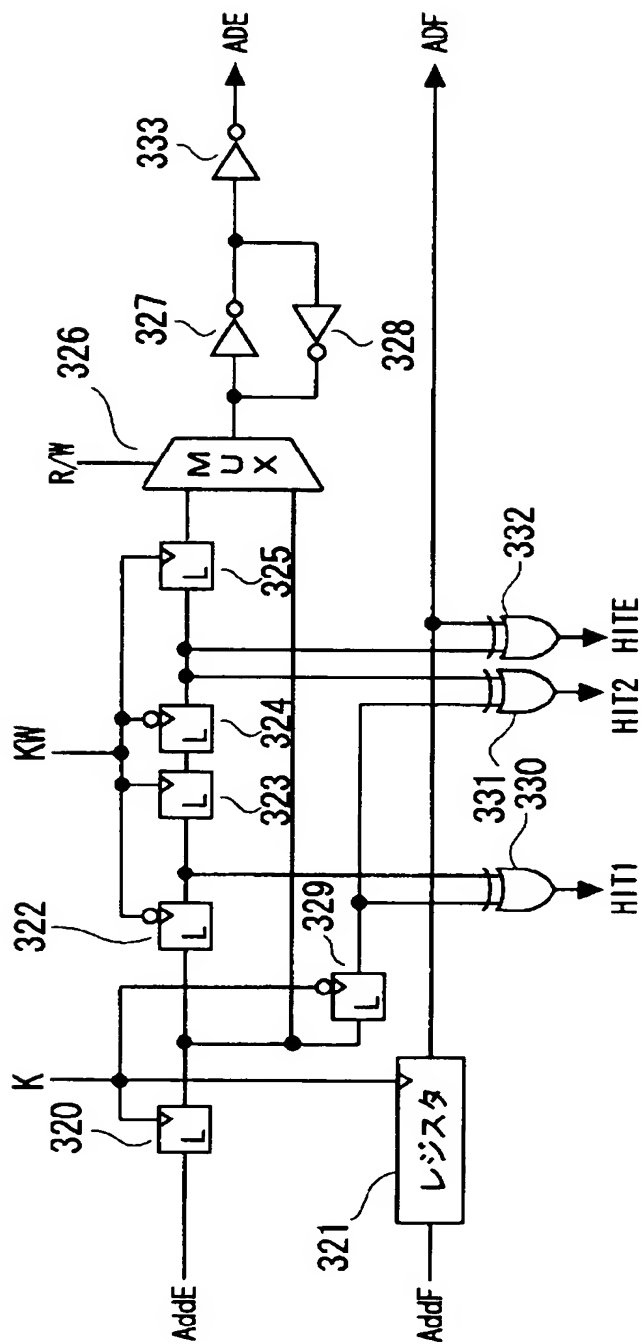
【図 3】



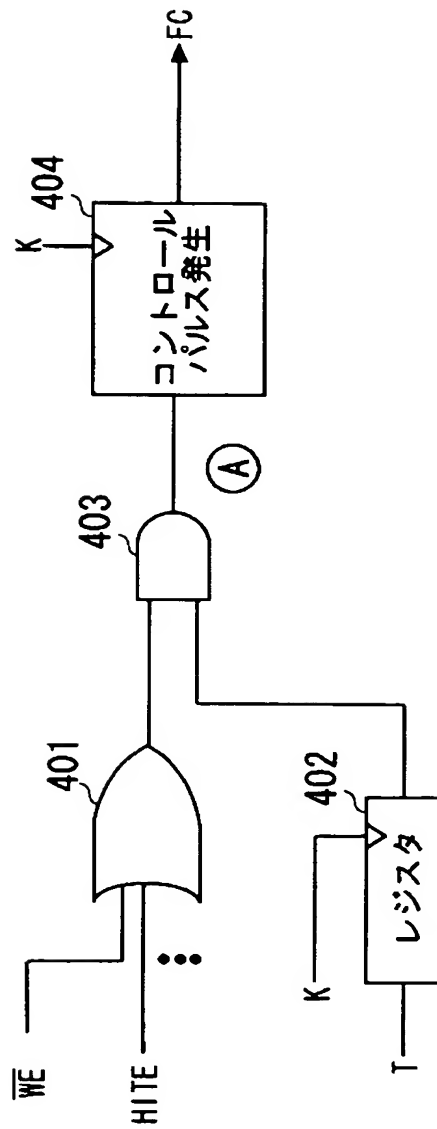
【図 4】



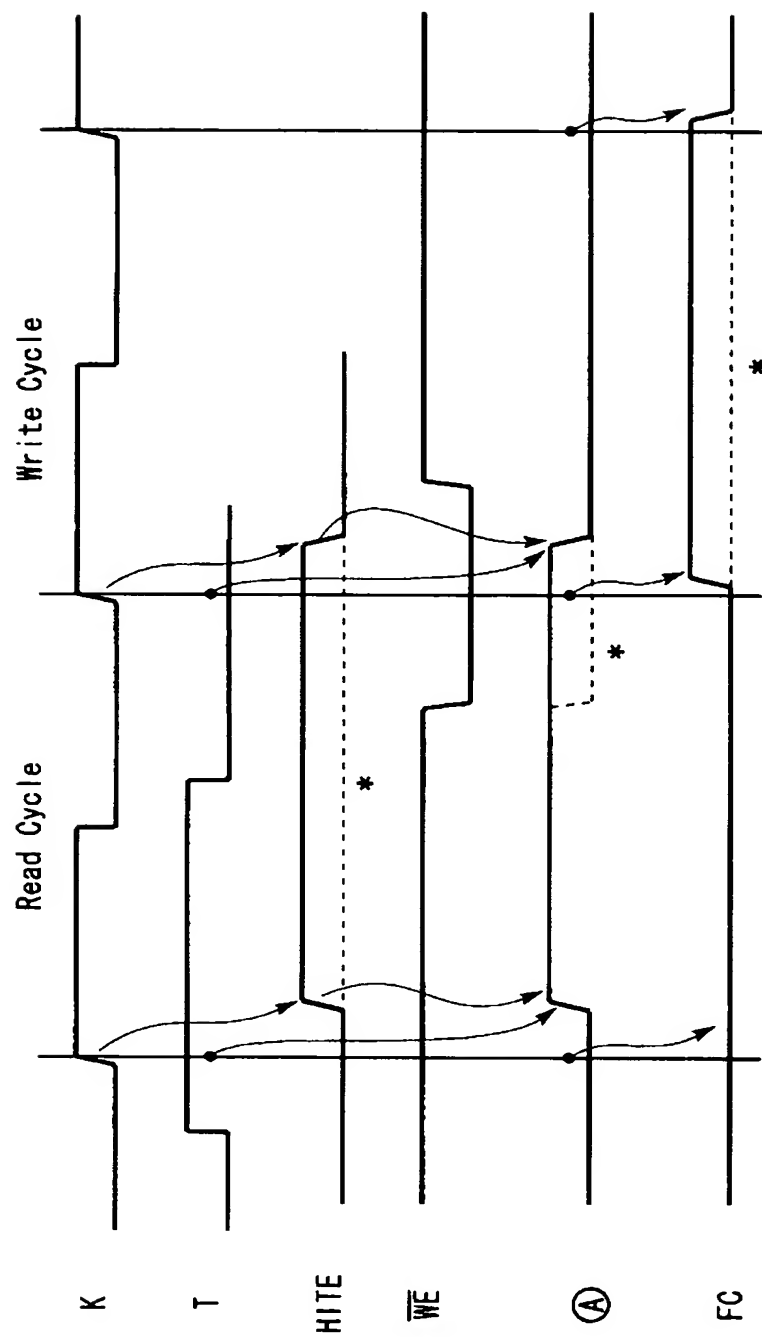
【図 5】



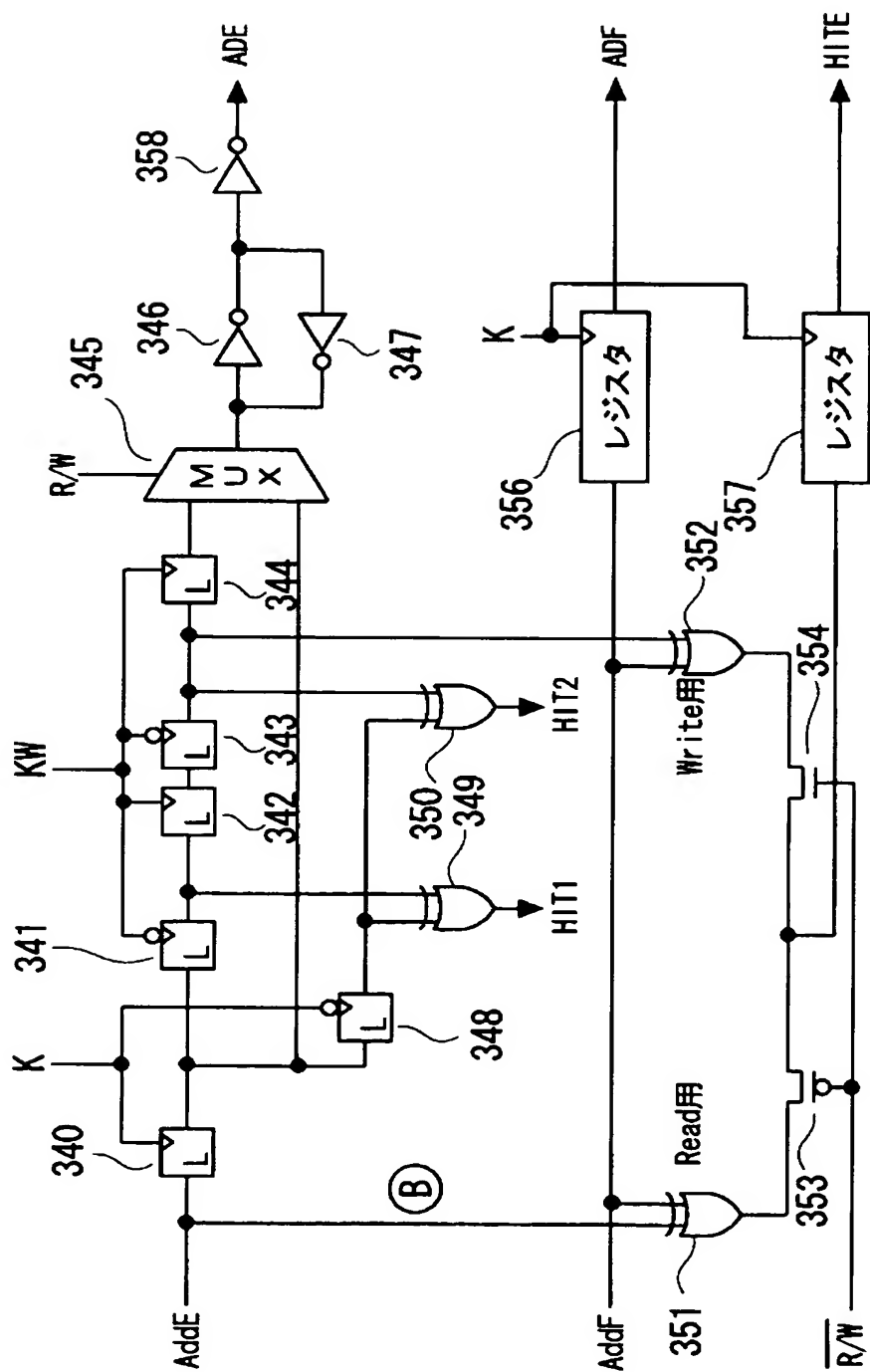
【図 6】



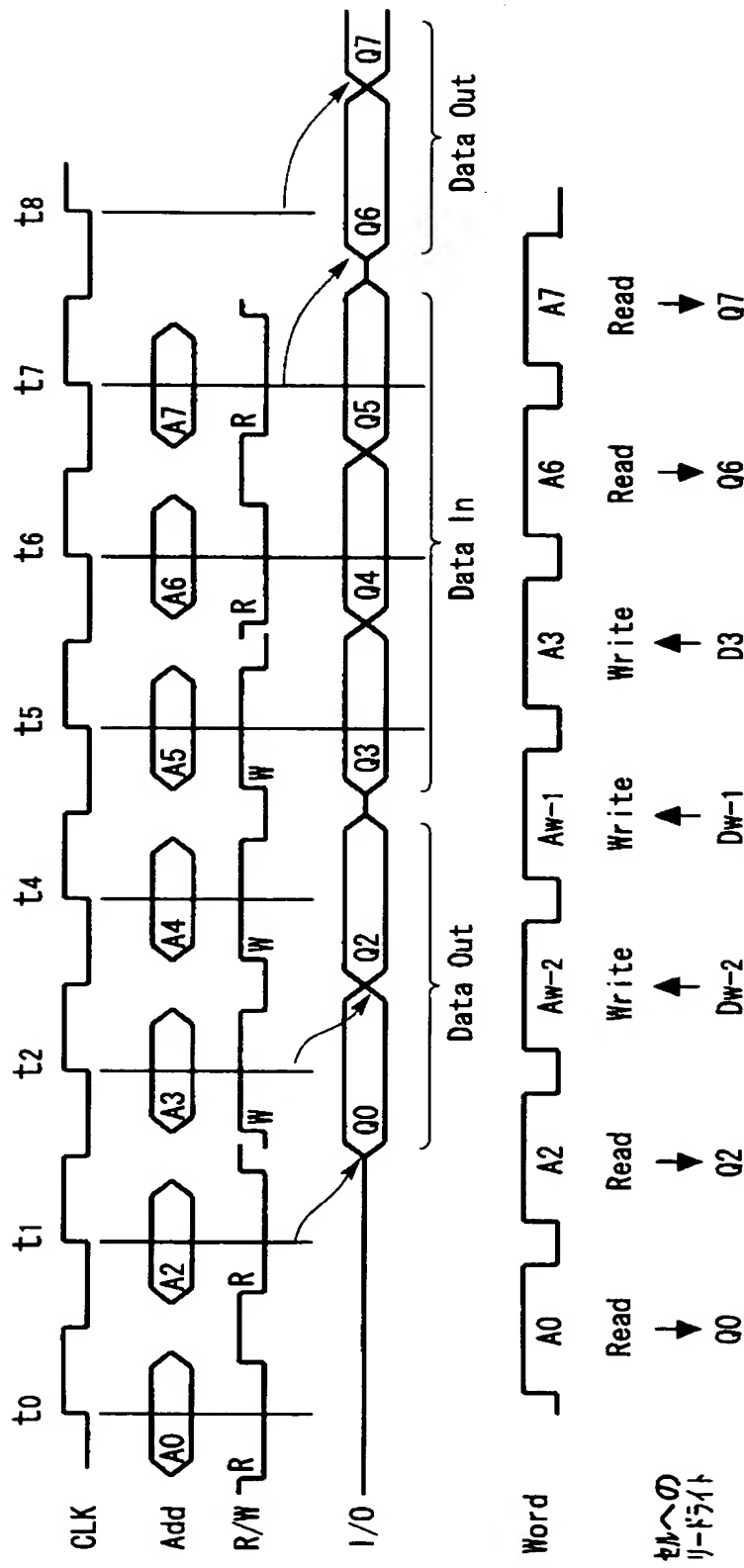
【図 7】



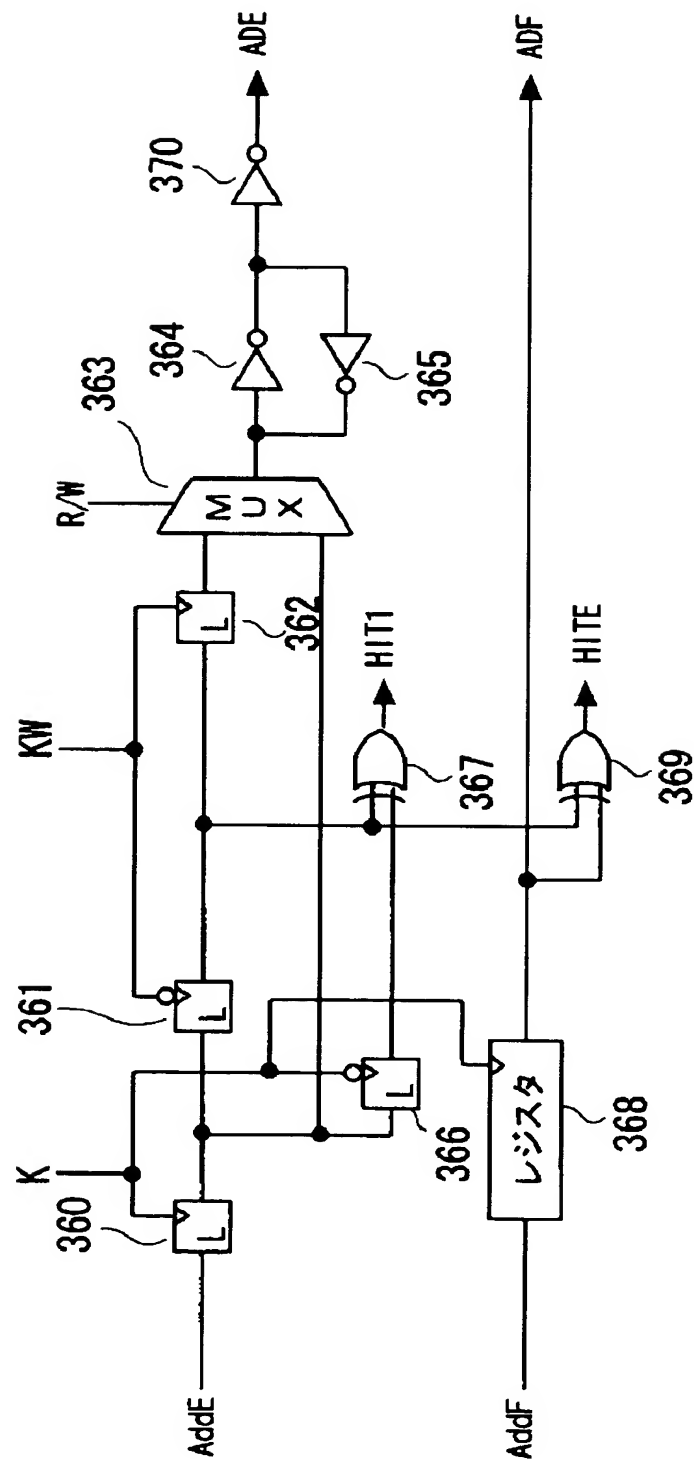
【図 8】



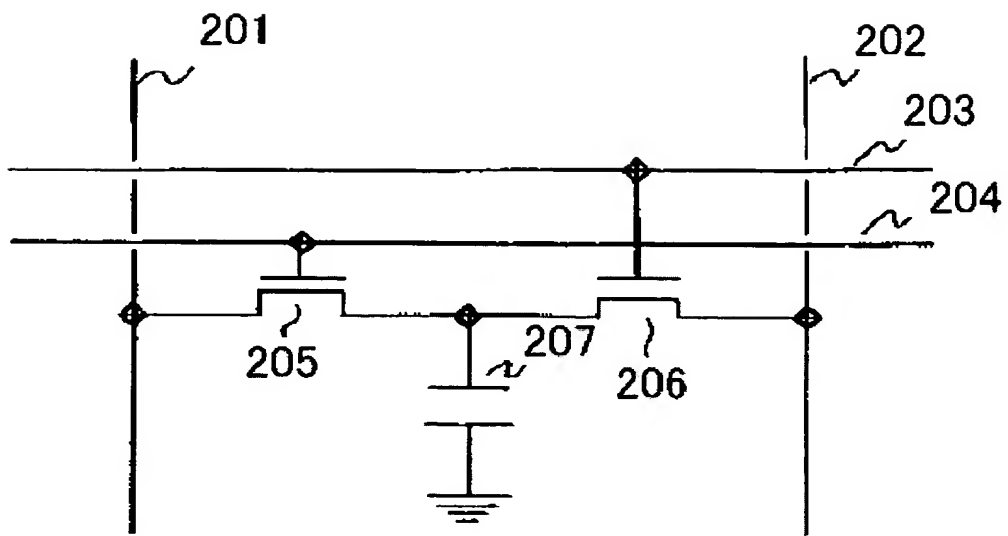
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】

リフレッシュ動作の遅延を外部からみえなくし、高速化、低コスト化を図る半導体記憶装置の提供。

【解決手段】

メモリセルが、通常アクセス専用のビット線B（E）とリフレッシュ専用のビット線B（F）の間に直列に接続された第1、第2のトランジスタTr1、Tr2と、第1、第2のトランジスタTr1、Tr2の接続点に接続された容量Cを備え、第1及び第2のトランジスタの制御端子には、通常アクセス専用のワード線W（E）とリフレッシュ専用のワード線W（F）がそれぞれ接続され、外部より入力されたライトアドレスに対して、少なくとも1つ以上の所定数のライトサイクル分遅れて、メモリセルへの書き込みが行われるレイトライト構成とされ、所定数のライトサイクル前に外部より入力されたライトアドレスと、リフレッシュアドレスとが一致するか否かを判定する手段130を少なくとも備え、判定の結果、ヒットしない場合には、通常アクセス用のワード線を活性化し第1のトランジスタをオンさせてデータを書き込むライト動作と、リフレッシュ専用のワード線を活性化しリフレッシュ専用のビット線に接続されたリフレッシュ専用のセンスアンプによるリフレッシュ動作とが同時に並行して行われる。

【選択図】

図1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 75010431

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2002-308624

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100080816

 【弁理士】

 【氏名又は名称】 加藤 朝道

 【電話番号】 045-476-1131

【提出物件の目録】

 【物件名】 承継人であることを証明する登記簿謄本 1

 【援用の表示】 平成 1 5 年 1 月 1 0 日提出の特願 2 0 0 2 - 3 1 8 4 8
8 の出願人名義変更届に添付のものを援用する。

 【物件名】 承継人であることを証明する書面 1

 【援用の表示】 平成 1 5 年 1 月 1 5 日提出の平成 9 年特許願第 2 8 7 7
4 3 号の出願人名義変更届に添付のものを援用する。

 【包括委任状番号】 0216557

【プルーフの要否】 要

特願 2 0 0 2 - 3 0 8 6 2 4

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 9 日
新規登録

住 所
氏 名

東京都港区芝五丁目 7 番 1 号
日本電気株式会社

特願 2 0 0 2 - 3 0 8 6 2 4

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社